

PCT

世界知的所有権機関  
国際事務局  
特許協力条約に基づいて公開された国際出願



<b>(51) 国際特許分類6</b> <b>H04L 27/22, 27/38</b>	<b>A1</b>	<b>(11) 国際公開番号</b> <b>WO97/01908</b>  <b>(43) 国際公開日</b> 1997年1月16日(16.01.97)
		<b>(21) 国際出願番号</b> PCT/JP96/01573 <b>(22) 国際出願日</b> 1996年6月11日(11.06.96) <b>(30) 優先権データ</b> 特願平7/159477 1995年6月26日(26.06.95) JP <b>(71) 出願人 (米国を除くすべての指定国について)</b> 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) 日立東部セミコンダクタ株式会社 (HITACHI TOUBU SEMICONDUCTOR, LTD.)[JP/JP] 〒350-04 埼玉県入間郡毛呂山町大字旭台15番地 Saitama, (JP) <b>(72) 発明者: よび</b> <b>(75) 発明者/出願人 (米国についてのみ)</b> 丹場裕子(TAMBA, Yuko)[JP/JP] 〒198 東京都青梅市野上319番地3 Tokyo, (JP) 近藤泰二(KONDOW, Taiji)[JP/JP] 〒196 東京都昭島市朝日町4丁目18番5号 カーサ中神102号 Tokyo, (JP) 古川且洋(FURUKAWA, Katsuhiro)[JP/JP] 〒198 東京都青梅市柚木町2丁目245番4号 Tokyo, (JP)
		<b>石原走人(ISSHARA, Yukihito)[JP/JP]</b> 〒198 東京都青梅市青梅478番地1 グリーンウッド102号 Tokyo, (JP) <b>(74) 代理人</b> 弁理士 大日方富雄(OBINATA, Tomio) 〒162 東京都新宿区神楽坂3丁目4番地 山本ビル2階 Tokyo, (JP)  <b>(81) 指定国</b> CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). <b>添付公開書類</b> 國際調査報告書
<b>(54) Title:</b> DEMODULATOR  <b>(54) 発明の名称</b> 復調器		
<b>(57) Abstract</b> <p>A simple small-scale demodulator for digital modulation of phase-modulated signals. The demodulator can be easily made into an IC, reduced in cost, and improved in operating speed and accuracy without using any high-speed high-resolution A/D converter. Phase information required for the modulation of digital data is logically detected by sampling logical values of waveform-shaped phase-modulated signals by means of clock signals having a period of which the ratio to that of the carrier of the phase-modulated signals is an integral ratio, serial-parallel converting the sampled logical values into a digital code string, and analyzing the logic pattern of the digital code string.</p>		
<p>The diagram illustrates the internal circuitry of the demodulator. It starts with a PSK signal (fc) entering a waveform shaping circuit (1). The output of this circuit goes to a sampling circuit (21), which is part of a phase information detecting section (2). The sampling circuit also receives a clock signal from a clock generating circuit (3). The output of the sampling circuit goes to a serial-parallel converting circuit (22). This circuit converts the sampled data into a digital code string. This string is then analyzed by a code analyzing circuit (4) and a data identifying circuit (5). The final output is demodulated data (Dc). A buffer (41) is also present between the serial-parallel converting circuit and the data identifying circuit.</p>		
1 ... waveform shaping circuit 2 ... phase information detecting section 3 ... clock generating circuit 4 ... code analyzing circuit 5 ... data identifying circuit 21 ... sampling circuit 22 ... serial-parallel converting circuit 41 ... buffer Dc ... demodulated data fc ... PSK signal (IF signal)		
<b>BEST AVAILABLE COPY</b>		

## (57) 要約

位相変調信号のデジタル復調処理を、高速かつ高分解能のA/D変換器を使用することなく、IC化および低コスト化に適した簡単かつ小規模な構成で、しかも高速化および高精度化も容易な構成でもってデジタル化させることを目的とし、波形整形された位相変調信号の論理値を、その変調信号の搬送波周期に対して整数比関係にある周期を有するクロック信号によりサンプリング後、所定区間ごとに直列／並列変換することにより、直列／並列変換されたデジタル符号列の論理パターンを解析することで、デジタルデータの復調に必要な位相情報を論理的に検出させることができるようになる。

### 情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルベニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LK	セントルシア	PT	ボルトガル
AT	オーストリア	EE	エストニア	LR	スリランカ	RO	ルーマニア
AU	オーストラリア	ES	スペイン	LS	リベリア	RU	ロシア連邦
AZ	アゼルバイジャン	FI	フィンランド	LT	リトアニア	SD	スードアン
BA	ボスニア・ヘルツェゴビナ	FR	フランス	LU	ルクセンブルグ	SE	スウェーデン
BB	ベルベドス	GA	ガボン	LV	ラトヴィア	SG	シンガポール
BE	ベルギー	GB	イギリス	MC	モナコ	SI	スロヴェニア
BF	ブルガリア・ファソ	GE	グルジア	MD	モルドヴァ共和国	SK	スロヴァキア
BG	ブルガリア	GN	ギニア	MG	モダガスカル	SN	セネガル
BJ	ベナン	GR	ギリシャ	MK	マケドニア旧ユーゴスラ	SZ	スワジランド
BR	ブラジル	HU	ハンガリー	ML	マリア共和国	TD	チャド
BY	ベラルーシ	IE	アイルランド	MN	モンゴル	TG	トーゴ
CA	カナダ	IL	イスラエル	MR	モーリタニア	TJ	タジキスタン
CF	中央アフリカ共和国	IT	イスランド	MW	マラウイ	TM	トルコメニスタン
CG	コンゴ	IT	イタリア	MX	メキシコ	TR	トルコ
CH	スイス	JP	日本	NE	ニジエール	TT	トリニダード・トバゴ
CI	コート・ジボアール	KE	ケニア	NL	オランダ	UA	ウクライナ
CM	カメルーン	KG	キルギスタン	NO	ノールウェー	UG	ウガンダ
CN	中国	KP	朝鮮民主主義人民共和国	NZ	ニュー・ジーランド	US	アメリカ合衆国
CU	キューバ	KR	大韓民国			UZ	ウズベキスタン
CZ	チェコ共和国	KZ	カザフスタン			VN	ヴィエトナム

## 明細書

## 復調器

## 5 技術分野

本発明は、復調器さらには位相変調信号のデジタル復調処理並びに振幅位相変調信号のデジタル復調処理に適用して有効な技術に関するものであって、例えば PDC (パーソナル・デジタル・セルラシステム) や PHS (パーソナル・ハンディフォン・システム) などの移動体通信機あるいは衛星通信に利用して有効な技術に関するものである。

10

## 背景技術

たとえば、PDC や PHS などの移動体通信機においては、送信側で音声信号をデジタルデータに変換し、このデジタルデータで搬送波を変調して無線送信し、受信側では受信された変調信号からデジタルデータを復調し、このデジタルデータから元の音声信号を再生することが行なわれる（たとえば、日経BP社刊行「日経エレクトロニクス 1994年9月12日号（no. 617）」71～96 ページ＜特集：軽量化と低価格化を競う携帯電話機の実装技術＞を参照）。

15

デジタル・データの変調方式としては、デジタル・データ値を搬送波の位相変位に対応させる一種の位相変調（PSK変調）が多く利用されている。たとえば、QPSK変調では、“00”, “01”, “10”, “11”の4とおりの2値論理データに対応する4とおりの位相シフト ( $0, \pi/2, \pi, 3\pi/2$ , ) が搬送波に対して行なわれる。復調側では、その搬送波の位相シフトを一定区間にごとに検出し、検出した位相シフトに対応した2値論理データを再生することが行なわれる。

20

25

また、デジタル通信において、周波数の有効利用のため搬送波の位相および振幅の両方に情報を持たせる振幅位相変調方式も用いられている。この振幅位相変調信号を復調する方式としては、受信信号に対して直交検波後、位相成分識別と振幅識別を行なう方法や位相成分は直交検波により識別し振幅成分は包絡線検波

により識別する方法等がある（特開平6-24888号等）。

従来、上述したような位相変調信号の復調処理についてはロー・パス・フィルタおよび遅延検波器などのアナログ回路を使って、また振幅位相変調信号の復調処理については直交検波のためのローカル発振器や乗算器、包絡線検波器等のアナログ回路を使って行なわれていたが、デジタル回路に比べて半導体集積回路化しにくく、プロセス微細化によるチップ面積の低減効果や性能の安定性も劣っているため、最近はそのアナログ回路の一部または全部をデジタル回路に置き換えることが行なわれるようになってきた。デジタル回路に置き換えることで半導体集積回路の集積度を高めることができ、これにより部品点数の削減、装置の小型化と軽量化、量産化適性、性能の安定性および再現性などが期待される。

しかしながら、上述した技術には、次のような問題のあることが本発明者らによつてあきらかとされた。

すなわち、従来のデジタル回路による位相復調器では、従来のアナログ回路の機能をそのままデジタル回路に置き換えたものであつて、復調処理方式そのものはアナログ回路の動作を単にデジタル的に模擬するという域に留まっていた。具体的には、入力側にA/D変換器を置き、このA/D変換器にてデジタル化（量子化）された位相変調信号をデジタル化されたロー・パス・フィルタおよびデジタル化された遅延検波器などを使って処理するものであった。このように、アナログ回路での方式をそのままデジタル回路で踏襲するだけの置き換えでも、半導体集積回路の集積度を高めることはできる。

しかし、アナログ回路の動作をそのまま模擬するデジタル処理だと、扱うべきデータ量が膨大となり、さらにそのデータの処理についても、工数が多くて非常に複雑になつてしまふ。また、位相変調信号をデジタル化するために使用されるA/D変換器については、できるだけ高速かつ高分解能のものが必要となるが、高速かつ高分解能のA/D変換器は製造が非常に困難であり、きわめて高コストである。

このように、位相復調回路をデジタル化することは、半導体集積回路の集積度を高める上で非常に有用なことではあるが、デジタル化に伴う回路の大規模化および高コスト化と、データ量の多さと処理の複雑さによる処理速度の低下は、ど

うしても避けられなかった。

本発明の目的は、位相変調信号のデジタル復調処理を、高速かつ高分解能のA/D変換器を使用することなく、半導体集積回路化および低コスト化に適した簡単かつ小規模な構成で、しかも高速化および高精度化も容易な構成でもって実現できる技術を提供することにある。  
5

本発明の他の目的は、振幅位相変調信号のデジタル復調処理を、直交検波回路や包絡線検波回路並びに高速かつ高分解能のA/D変換器を使用することなく、必要最小限のアナログ回路だけを持ち、主要部分は半導体集積回路化に適したデジタル回路で実現できる技術を提供することにある。

10 本発明の前記ならびにそのほかの目的と特徴は、本明細書の記述および添付図面からあきらかになるであろう。

#### 発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、  
15 下記のとおりである。

すなわち、位相変調信号の復調に関しては、2値パルス信号に波形整形された位相変調信号の論理値を、その変調信号の搬送波周期に対して整数比関係にある周期を有するクロック信号により、周期的にサンプリングしてシフトレジスタに直列シフト伝達させるとともに、そのシフトレジスタの各シフト段から上記位相変調信号の位相に関する情報を含んだ並列デジタル符号列を取り出させる、とい  
20 ウものである。

上述した手段によれば、シフトレジスタから並列に取り出されるデジタル符号列の論理パターンを解析することで、デジタルデータの復調に必要な位相情報を論理的に検出させることができる。これにより、位相変調信号のデジタル復調処理を、高速かつ高分解能のA/D変換器を使用することなく、半導体集積回路化および低コスト化に適した簡単かつ小規模な構成で、しかも高速化および高精度化も容易な構成でもってデジタル化させる、という目的が達成される。  
25

また、振幅位相変調信号の復調に関しては、受信した振幅位相変調信号を、その変調波の信号中心値をしきい値とする非線形増幅器により2値パルス化し、そ

の変調信号の搬送波周期に対して整数比関係にある周期を有するクロック信号によりサンプリングすることによって位相情報を検出する位相検出器と、異なる振幅レベルの中間の値をしきい値とする非線形増幅器により2値パルス化し、パルスの有無によって振幅情報を検出する振幅検出器とを設けるようにした。

5 上述した手段によれば、受信信号をしきい値の異なる複数個の非線形増幅器で信号をパルス化後はデジタル回路で構成される位相検出器、振幅検出器の出力結果を合成することにより、デジタルデータを復調することができる。これにより、アナログ回路は非線形増幅器のみで、主要な部分は半導体集積化に適したデジタル回路で実現するという目的が達成される。

10

#### 図面の簡単な説明

第1図は、本発明の技術が適用された位相復調器の第1の実施例の要部を示すブロック図である。

第2図は、本発明の位相復調器の第2の実施例の要部を示すブロック図である。

15 第3図は、第2図に示した位相情報検出部の具体的構成例を示すブロック図である。

第4図は、第3図における入力信号の位相とサンプリング位置の関係を示すタイムチャートである。

20 第5図は、入力信号に対するサンプリングポイントの位置を示すタイムチャートである。

第6図は、入力信号に対するシフトレジスタの出力例を示す図表である。

第7図は、本発明の位相復調器の第3の実施例の要部を示すブロック図である。

第8図は、第7図における入力信号の位相とサンプリング位置の関係を示すタイムチャートである。

25 第9図は、入力信号に対するサンプリングポイントの位置を示すタイムチャートである。

第10図は、入力信号に対するシフトレジスタの出力例を示す図表である。

第11図は、第10図に示したビットパターンを別のパターン記号に置き換えて示す図表である。

第12図は、本発明の位相復調器の第4の実施例の要部を示すブロック図である。

第13図は、第12図における入力信号の位相とサンプリング位置の関係を示すタイムチャートである。

5 第14図は、入力信号に対するサンプリングポイントの位置を示すタイムチャートである。

第15図は、第1の区間で取得されるサンプリングデータの状態を示す図表である。

10 第16図は、第2の区間で取得されるサンプリングデータの状態を示す図表である。

第17図は、第1、第2の各区間にてそれぞれに取得されるサンプリングデータを10進数に変換して示す図表である。

15 第18図は、本発明の位相変調器の第5の実施例の要部を示すブロック図である。

第19図は、クロック発生回路の第1の実施例を示すブロック図である。

第20図は、クロック発生回路の第2の実施例の示すブロック図である。

20 第21図は、本発明による位相復調器の応用例としての移動体通信装置の構成例を示すブロック図である。

第22図は、本発明の技術が適用された振幅位相復調器の第1の実施例の要部を示すブロック図である。

25 第23図は、振幅位相変調における信号配置を示す位相図である。

第24図は、受信信号と振幅位相復調器内部の信号の波形例を示す波形図である。

第25図は、振幅情報検出部の実施例を示すブロック図である。

25 第26図は、振幅情報検出部の変形例を示すブロック図である。

第27図は、シンボルクロック再生部の具体的な構成例を示すブロック図である。

第28図は、検出された位相情報とシンボルクロック再生部の内部信号および出力されるシンボルクロックの相互関係を示すタイムチャートである。

第29図は、本発明の技術が適用された振幅位相復調器の第2の実施例の要部を示すブロック図である。

第30図は、振幅位相復調器の第2の実施例における振幅情報検出部の構成例を示すブロック図である。

5 第31図は、本発明に係る復調器の他の応用例としての衛星通信システムを示す概略図である。

#### 発明を実施するための最良の形態

以下、本発明の好適な実施例を図面を参照しながら説明する。

10 なお、図において、同一符号は同一あるいは相当部分を示すものとする。

第1図は本発明の技術が適用された位相復調器の第1の実施例を示したものであって、1は波形整形回路、2は位相情報検出部、3はクロック発生回路、4は符号解析部、5はデータ判定部である。

15 波形整形回路1は、位相変調信号（PSK信号）をH（高レベル）とL（低レベル）のデューティ幅が揃った2値パルス信号に整形する。

位相情報検出部2は、波形整形されたPSK信号Aの論理値を周期的にサンプリングすることにより直列符号列を生成するサンプリング部21と、上記直列符号列を所定区間（所定サンプリング回数）ごとに所定ビット長の並列符号列に変換する直列／並列変換部22とにより、PSK信号Aから位相情報Daを検出す。検出された位相情報Daは並列符号列の形で出力される。

20 クロック発生回路3は、PSK信号Aの搬送波周期（ $1/f_c$ ）に対して異なる周期を有し、かつその搬送波周期（ $1/f_c$ ）に対して整数比関係（たとえば8：9）にある周期を有するクロック信号 $\phi_s$ を出力する。そして、このクロック信号 $\phi_s$ に同期して上記PSK信号Aの論理値のサンプリングを行なわせる。

25 符号解析部4は、位相情報検出部2から出力される位相情報Daの時系列上の論理パターン変位に基づいて位相差情報を論理検出する。位相差情報の検出は前回検出の位相情報と今回検出の位相情報を参照して行なわれる。41は前回検出の位相情報を一時的に保持するためのバッファメモリー部である。

データ判定部5は、符号解析部4にて論理検出された位相差情報Dbに基づい

て復調データ  $D_c$  を生成する。

第 2 図は本発明の第 2 の実施例の要部を示す。

この第 2 の実施例では、第 1 図に示した位相情報検出部 2 の主要部をシフトレジスタ 23 で構成してある。このシフトレジスタ 23 は、上述したサンプリング部 21 と直列／並列変換部 22 の機能を併せ持つものであって、波形整形された PSK 信号 A の論理値をサンプリングクロック信号  $\phi_s$  に同期してサンプリングし、このサンプリングした論理値を直列シフト伝達する。そして、そのシフトレジスタ 23 のシフト段数に相当するサンプリング回数ごとに、つまりシフトレジスタ 23 のシフト段数に相当する回数のサンプリングが完了するごとに、各シフト段から取り出される並列符号列が位相情報  $D_a$  として符号解析部 4 に入力される。

第 3 図は、第 2 図に示した位相情報検出部 2 の具体的構成例を示す。

同図に示すように、位相情報検出部 2 の主要部はシフトレジスタ 23 だけで構成される。同図に示すシフトレジスタ 23 は 8 つの直列シフト段 ( $F_1 \sim F_8$ ) を有し、入力信号の論理値をサンプリング信号  $\phi_s$  に同期して 1 ビット分ずつサンプリングし、直列シフト伝達させる。このシフトレジスタ 23 の各シフト段 ( $F_1 \sim F_8$ ) からは、8 回のサンプリングが完了するごとに、並列符号列に変換された位相情報  $D_a$  ( $d_1 \sim d_8$ ) を取り出すことができる。

第 4 図は、第 3 図に示した構成において、入力信号の位相とサンプリング位置の関係を示す波形チャートである。

同図において、a から h まではそれぞれ入力信号の位相態様を示したものであって、PSK 信号である入力信号は変調情報に応じて a ~ h のいずれかの位相態様をとるものとする。

サンプリングクロック信号  $\phi_s$  は、入力信号 (a ~ h) の搬送波周期 T に対して異なる周期を有し、かつその搬送波周期 T に対して 8 : 9 の整数比をなすような周期 ( $9T/8$ ) に設定されている。そして、そのクロック信号  $\phi_s$  の立上りエッジ (図中に破線で示すタイミング) にてサンプリングが行なわれるようになっている。

入力信号に対するサンプリングポイントの位置関係は、入力信号の搬送波周期

Tとサンプリングクロック信号 $\phi_s$ の周期（ $9T/8$ ）とが互いに異なるとともに、互いに8:9の整数比関係をなしていることにより、入力信号の1周期ごとに $2\pi/8$ ずつの位置ずれが生じる。この位置ずれはサンプリング回ごとに蓄積されて行くが、その蓄積は入力信号の8周期したところで1周期分（ $16\pi/8 = 2\pi$ ）になって元に戻る。つまり、クロック信号 $\phi_s$ は時系列上でのバーニア目盛として機能する。これにより、入力信号の搬送波周期Tとそれほど違わない周期（ $9T/8$ ）のクロック信号 $\phi_s$ でもって、つまりそれほど高い周波数のクロック信号を使わざとも、入力信号の1周期を $2\pi/8$ に分解してサンプリングすることができる。

この場合、搬送波信号はPSK変調されていることにより位相変化を伴っているが、搬送波周波数は変調周波数よりも十分に高いため、PSK変調による位相変化の周期は搬送波信号の周期Tよりも十分に長くなる。したがって、少なくとも搬送波信号の8周期（ $8T$ ）程度の区間では、PSK変調による位相変化の影響をほとんど無視することができる。

第5図は、入力信号に対するサンプリングポイントの位置を示す。

同図に示すように、第3図に示した位相復調器の場合、入力信号はその8周期（ $8T$ ）ごとに、8つのサンプリングポイントにてサンプリングされる。

第6図は、入力信号の位相態様に対するシフトレジスタの並列出力例を示す真理値表である。

同図に示すように、位相情報検出部をなすシフトレジスタの並列出力は、入力信号の位相態様（a～h）ごとにそれぞれ特定のビットパターン（“1”と“0”的組み合せパターン）を呈する。したがって、そのビットパターンの変位状態を解析することにより、入力信号の位相がどの程度に変化したかを論理的に検出することができる。そして、このようにして検出される位相差情報を基づいて復調データを生成することができる。

以上のように、2値パルス信号に波形整形された位相変調信号の論理値を、その変調信号の搬送波周期に対して整数比関係にある周期を有するクロック信号により周期的にサンプリングしてシフトレジスタに直列シフト伝達させるとともに、そのシフトレジスタの各シフト段から上記位相変調信号の位相に関する情報を含

んだ並列デジタル符号列を取り出してその論理パターンを解析することで、デジタルデータの復調に必要な位相差情報を得ることができる。これにより、位相変調信号のデジタル復調処理を、高速かつ高分解能のA／D変換器を使用することなく、半導体集積回路化および低コスト化に適した簡単かつ小規模な構成で、しかも高速化および高精度化も容易な構成でもってデジタル化させることができる。  
5 したがって、搬送波周波数の高い位相変調信号も、簡単かつ効率良く復調させることができる。

第7図は本発明の第3の実施例の要部を示す。

同図に示す位相復調回路は、位相情報検出部2の主要部が複数（4本）の4段シフトレジスタSR1～SR4により構成されている。これとともに、クロック発生回路3は、各シフトレジスタSR1～SR4に対し、互いに同一周期で $\pi/4$ ずつ位相の異なる多相クロック信号 $\phi_1$ ～ $\phi_4$ を分配する多相クロック発生回路が使用されている。

各シフトレジスタSR1～SR4には共通の入力信号（PSK信号）が分岐されて入力される。各シフトレジスタSR1～SR4からは、それぞれに4ビットずつ計16ビットの並列符号列（d11～d14, d21～d24, d31～d34, d41～d44）が取り出されるようになっている。

サンプリングクロック信号 $\phi_1$ ～ $\phi_4$ は互いに同一周期（5T/4）で $\pi/4$ ずつ位相の異なる4相クロック信号であって、第1相クロック $\phi_1$ は第1シフトレジスタSR1に、第2相クロック $\phi_2$ は第2シフトレジスタSR2に、第3相クロック $\phi_3$ は第3シフトレジスタSR3に、第4相クロック $\phi_4$ は第4シフトレジスタSR4に、それぞれサンプリングおよびシフトクロックとして与えられる。

第8図は、第7図に示した構成において、入力信号の位相とサンプリング位置の関係を示す波形チャートである。

同図において、aからpまではそれぞれ入力信号の位相様態を示したものであって、PSK信号である入力信号は変調情報に応じてa～pのいずれかの位相様態をとるものとする。

4つのシフトレジスタSR1～SR4に分岐された入力信号は、各シフトレジ

スタ S R 1 ~ S R 4 にてそれぞれにクロック信号  $\phi$  1 ~  $\phi$  4 の立上りでサンプリングされて直列シフト伝達される。

第 9 図は、入力信号に対するサンプリングポイントの位置を示す。

同図に示すように、入力信号はその 5 周期 (5 T) ごとに 4 つのクロック信号  $\phi$  1 ~  $\phi$  4 にて 4 回ずつ計 16 回サンプリングされる。

第 10 図は、入力信号の位相態様に対するシフトレジスタの並列出力例を示す真理値表である。

同図に示すように、位相情報検出部をなす 4 本のシフトレジスタ S R 1 ~ S R 4 の並列出力データ ( $d_{11}$  ~  $d_{14}$ ,  $d_{21}$  ~  $d_{24}$ ,  $d_{31}$  ~  $d_{34}$ ,  $d_{41}$  ~  $d_{44}$ ) は、入力信号の位相態様 (a ~ p) ごとにそれぞれ特定のビットパターン ("1" と "0" の組み合せパターン) を呈する。

第 11 図は、第 10 図に示したビットパターン (1100, 0110, 0011, 1001) を A, B, C, D の 4 つパターン記号 ( $A = 1100$ ,  $B = 0110$ ,  $C = 0011$ ,  $D = 1001$ ) に置き換えて示す。このように、入力信号の位相態様 (a ~ p) に応じて現れるビットパターンの変位状態を解析することにより、入力信号の位相がどの程度に変化したかを論理的に検出することができる。

以上のようにして、第 7 図～第 11 図に示した実施例では、入力信号の 5 周期 (5 T) ごとに 16 のサンプリングポイントによる位相情報検出を行なうことができる。

第 12 図は本発明の第 4 の実施例の要部を示す。

この第 4 の実施例では、まず、入力信号 (PSK 信号) A を位相反転するインバータ 11 と、位相反転される前の非反転入力信号 A を 1/2 分周する第 1 の分周回路 12 と、位相反転された反転入力信号 -A を 1/2 分周する第 2 の分周回路 13 が設けられている。

また、第 1 の分周回路 12 にて 1/2 分周された入力信号 B1 に対して論理値のサンプリングおよび直列／並列変換の処理を行なう第 1 のシフトレジスタ列 (S R 11 ~ S R 14) と、第 2 の分周回路 13 にて 1/2 分周された入力信号 B2 に対して論理値のサンプリングおよび直列／並列変換の処理を行なう第 2 の

シフトレジスタ列 (SR21～SR24) が設けられている。

第1、第2のシフトレジスタ列 (SR11～SR14), (SR21～SR24) はそれぞれ2段 (F1, F2) のシフトレジスタを4本ずつを有する。各列のシフトレジスタ (SR11～SR14, SR21～SR24) はそれぞれ、クロック発生回路3からの4相クロック  $\phi_1 \sim \phi_4$  によってサンプリングおよび直列シフト動作を行なう。  
5

第13図は、第12に示した構成において、入力信号 (a1～h1), (a2～h2) の位相とサンプリング位置の関係を示す波形チャートである。

同図において、B1 (a1～h1) は非反転入力信号Aの1/2分周信号、B10 2 (a2～h2) は反転入力信号-Aの1/2分周信号である。同図に示すように、入力信号A, -Aを1/2分周して得られる信号B1, B2は、H (高レベル) とL (低レベル) のデューティ幅が揃えられている。

15 非反転入力信号Aの1/2分周信号B1 (a1～h1) は第1のシフトレジスタ列 (SR11～SR14) にて、反転入力信号-Aの1/2分周信号B2 (a2～h2) は第2のシフトレジスタ列 (SR21～SR24) にて、それぞれ4相クロック  $\phi_1 \sim \phi_4$  によるサンプリングおよび直列シフト伝達の処理にかけられる。

この場合、各シフトレジスタ SR11～SR14, SR21～SR24 のシフト段数はそれぞれ2段 (F1, F2) ずつとなっていて、各シフトレジスタからそれぞれに取り出すことができる並列データサイズは2ビットである。このため、各シフトレジスタ SR11～SR14, SR21～SR24 から並列に取り出すことのできるビットパターンは、1/2分周信号B1, B2 の半周期に対するサンプリングデータだけとなる。これは、1/2分周信号B1, B2 の半周期 ( $T/2$ ) が、1/2分周される前の入力信号A, -A の1周期 ( $T/2$ ) に相当するためである。つまり、その1/2分周信号B1, B2 の半周期 ( $T/2$ ) 分のサンプリングデータは、1/2分周される前の入力信号A, -A の1周期 ( $T/2$ ) 分のサンプリングデータに相当する。  
20  
25

ここで、各シフトレジスタ SR11～SR14, SR21～SR24 のシフト段数がそれぞれ2段ずつである一方で、1/2分周信号B1, B2 の周期Tとク

ロック信号 $\phi_1 \sim \phi_4$ の周期( $5T/4$ )の比が4:5の整数比であった場合、 $1/2$ 分周信号B1, B2の5周期(5T)ごとに8個のサンプリングポイントによる位相情報検出が行なわれる。

この場合、上記5周期(5T)の前半の2.5周期(2.5T)では、 $1/2$ 分周信号B1, B2の前半周期に対してのサンプリングデータが取得される。また、上記5周期(5T)の後半の2.5周期(2.5T)では、上記 $1/2$ 分周信号B1, B2の後半周期に対してのサンプリングデータが取得される。

つまり、第14図に示すように、 $1/2$ 分周信号B1, B2の各周期はそれぞれ第1, 第2の区間T1, T2に2分割されてサンプリングされる。そして、第1の区間T1では $1/2$ 分周信号B1, B2の前半周期でのサンプリングデータが取得され、第2の区間T2では $1/2$ 分周信号B1, B2の後半周期でのサンプリングデータがそれぞれに取得される。

第15図は、上記第1の区間T1にて各シフトレジスタSR11～SR14, SR21～SR24から取得されるサンプリングデータの論理状態を示す。

第16図は、上記第2の区間T2にて各シフトレジスタSR11～SR14, SR21～SR24から取得されるサンプリングデータの論理状態を示す。

第17図は、第1の区間T1および第2の区間T2にてそれぞれに取得されるサンプリングデータをシフトレジスタごとに10進数(3=11, 2=10, 1=01, 0=00)に変換して示す。

第17図に示すように、第1の区間T1にて取得されるサンプリングデータの論理パターンにより、 $1/2$ 分周信号B1, B2の前半周期での位相状態を特定することができる。同様に、第2の区間T2にて取得されるサンプリングデータの論理パターンにより、 $1/2$ 分周信号B1, B2の後半周期での位相状態を特定することができる。

また、第17図に示すように、第1の区間T1にて取得されるサンプリングデータの論理パターンと、第2の区間T2にて取得されるサンプリングデータの論理パターンとは、互いに補数関係にある。これは、前述したように、 $1/2$ 分周信号B1(a1～h1), B2(a2～h2)の半周期(T/2)での位相情報には、 $1/2$ 分周される前の入力信号A, -Aの1周期での位相情報が含まれる。

ているからである。したがって、第1と第2の両区間T1, T2にてそれぞれに取得されたサンプリングデータの論理パターンは、互いに補数関係にあるが、実質的に等価である。したがって、その補数関係をチェックすることで、サンプリング・データのエラーチェック等を行なうことができる。

5 第18図は本発明の第5の実施例の要部を示す。

同図に示す実施例は、第12図～第17図に示した構成を拡張したものであつて、4段8本のシフトレジスタ列を2列設けるとともに、各シフトレジスタ列(SR11～SR18), (SR21～SR28)におけるサンプリングを8相の多相クロック信号 $\phi_1 \sim \phi_8$ を使って行なわせている。これにより、サンプリングポイントは32ヶ所に拡張され、これに応じて位相情報検出の分解精度も高められている。

10 第19図はクロック発生回路の第1の実施例を示す。

同図に示すクロック発生回路3は単相クロック発生回路であつて、電圧制御発振器(VCO)31, 1/N(Nは2以上の整数)分周回路32, 1/M(MはNと異なる2以上の整数)分周回路33、位相比較器34、ロー・パス・フィルタ35によるPLL(位相制御ループ)により構成される。

この場合、1/N分周回路32はPSK信号の搬送波周波数 $f_c$ を1/N分周する。同様に、1/M分周回路33はVCO31の発振周波数 $f_s$ を1/M分周する。位相比較器34およびロー・パス・フィルタ35は、1/N分周信( $f_c/N$ )号と1/M分周信号( $f_s/M$ )の位相が一致するようにVCO31の発振周波数 $f_s$ をフィードバック制御する。これにより、そのVCO31の発振出力( $f_s$ )から $f_s = M f_c / N$ の周波数関係にあるクロック信号 $\phi_s$ を取り出すことができる。

20 第20図はクロック発生回路3の第2の実施例を示す。

同図に示すクロック発生回路3は多相クロック発生回路であつて、第19図に示した構成に加えて、1/k分周回路36とk段シフトレジスタ37が設けられている。

このクロック発生回路3では、VCO31の発振周波 $k \cdot f_s$ (kは2以上の整数)を基本クロック $\phi_s$ とし、この基本クロック信号を1/k分周し、1/k

分周されたクロック信号 ( $f_s$ ) を  $k$  段シフトレジスタ 37 にて上記基本クロック信号  $\phi_s$  ( $= k \cdot f_s$ ) に同期して直列シフト伝達させる。これにより、 $k$  段シフトレジスタ 37 の各シフト段 ( $F_1 \sim F_k$ ) から互いに位相の異なる多相クロック信号  $\phi_1 \sim \phi_k$  を並列に取り出すことができる。

5 第 21 図は本発明による位相復調器の応用例を示す。

同図に示す応用例は、パーソナル・ハンディフォン・システム (P H S) とパーソナル・デジタル・セルラシステム (P D C) の両端末機能を備えた移動体通信装置であって、110 は無線送受信ユニット、111 は無線アンテナ、160 は通話信号の符号化および復号処理を行うコーデック部、170 はマイクロプロセッサを用いて構成される論理制御ユニット、180 は操作パネルである。

10 無線送受信ユニット 110 は、分波器 112、送受切換スイッチ 113、無線受信ユニット 120、上述した本発明による位相復調器 126、無線送信ユニット 130、位相変調器 131、P L L による周波数合成回路 141、時分割多重回路 142、受信電界強度検出回路 (R S S I) 143 などによって構成されている。

15 無線受信ユニット 120 は、P H S と P D C の 2 つの周波数帯  $f_0$ 、 $f_1$  に対応する低雑音アンプ 121、目的周波数帯  $f_0$  または  $f_1$  の受信信号を抽出する R F バンドパスフィルタ 122、周波数変換 (ダウンコンバーター) を行うミキサー 123、周波数変換により生成された中間周波信号を抽出する I F バンドパスフィルタ 124、中間周波増幅部および第 2 周波数変換部および A G C 部などを含む I F 部 125 などにより構成されている。

20 無線送信ユニット 130 は、I F 部 132、I F バンドパスフィルタ 133、周波数変換 (アップコンバーター) を行うミキサー 134、R F バンドパスフィルタ 135、P H S と P D C の 2 つの周波数帯  $f_0$ 、 $f_2$  および 2 種類の送信出力 (低出力/高出力) にそれぞれ対応する高周波出力アンプ 136 などにより構成されている。

25 周波数合成回路 141 は、温度補償された高精度の基準周波数信号  $f_x$  に基づき、受信ユニット 120 における周波数変換のためのローカル信号  $f_{x0} / f_x$  と、送信ユニット 130 における周波数変換のためのローカル信号  $f_{x0} / f_x$

x 2をPLL合成する。

ここで、無線受信ユニット120と無線送信ユニット130は、PHSとPDCの2種類のモードに対応すべく、受信周波数帯と送信周波数帯の切換設定および送信出力レベルの高低切換えが行えるように構成されている。分波器112は、  
5 PDCモード時において、送信と受信を周波数を違えて同時に行う場合に、アンテナ111からの受信信号とアンテナ111への送信信号とを分離するために使用される。送受切換スイッチ113は、PHSモード時において、同一周波数で送信と受信を時分割で行う場合に、アンテナ111を受信ユニット120側または送信ユニット130側に高速切換するために使用される。

10 コーデック部160は、PHSモードでの通話信号の符・復号処理を行うADPCM (Adaptive Differential Pulse Code Modulation) コーデック部152と、PDCモードでの通話信号の符・復号処理を行うVSELP (Vector Sum Excited Linear Prediction) コーデック部153と、2つのコーデック152と153をPHS/PDCのモードに応じて切り換えるコーデック切換部151などを含む。154は受話信号を音響再生するスピーカ、155は送話音を送話信号に変換するマイクロホンである。

論理制御ユニット170には、受信電界強度検出回路143の出力に基づいてPHS/PDCモードの切換設定制御を行うモード切換制御部171がソフトウェア的に組込まれている。このモード切換制御部171にて、無線送受信ユニット110の送受信周波数帯および送信出力レベル、コーデック152、153の選択、送信信号と受信信号の多重化方式などを切換設定することにより、回路の多くの部分を共有させながら、PHS端末機能とPDC端末機能を切換設定することができる。

25 上述した移動体通信機において、本発明による位相復調器126は、半導体集積回路化に適しているとともに、その回路規模も小さくて済むことにより、機器の小型化および低コスト化に大いに寄与することができる。また、高速化および高精度化が容易であることにより、搬送波周波数が高くても使用可能であり、したがって、たとえば中間周波信号の周波数を高く取ることができ、これにより受

信系統での構成を簡略化させることなどが可能となる。

第22図は本発明の技術が適用された振幅位相復調器の第1の実施例を示したものである。第22図に示されているように、この実施例の振幅位相復調器は、受信信号  $f_c$  を位相検波する位相検波部6と、受信信号  $f_c$  を振幅検波する振幅検波部7とを備えている。上記位相検波部6は、第1図や第2図に示されている位相復調器における位相検波部と同様の構成とされる。第1図および第2図における受信信号  $f_c$  を2値パルス信号に整形する波形整形回路1は、この実施例では振幅検波部7の構成に合わせて演算増幅器を用いた非線形増幅器で構成されている。ただし、非線形増幅器の代わりにインバータ回路を用い、その出力を抵抗を介して入力端子に帰還させるように構成した回路を用いても良い。非線形増幅器を用いた場合、そのしきい値レベルとして受信信号  $f_c$  の中心電位が選択され、そのような電圧を発生する基準電圧発生回路9が設けられ、発生された電圧が参照電圧REF1として波形整形回路1に供給される。基準電圧発生回路9は、振幅検波部7の非線形増幅器10に対する参照電圧REF2も発生する。

振幅検波部7は、受信信号  $f_c$  をその振幅に応じて2値パルス信号に整形する非線形増幅器10と、2値化された信号から振幅情報を検出する振幅情報検出部11とから構成されている。非線形増幅器10には、受信信号  $f_c$  をその振幅に応じて2値パルス信号に整形するためのしきい値レベルとして、参照電圧REF2が基準電圧発生回路9から供給されている。なお、受信信号  $f_c$  は送信側と受信側との距離等によって振幅レベルが異なったり、通信条件によって振幅レベルが変動するいわゆるフェージングが発生する。そこで、受信信号毎の振幅のばらつきやフェージング等による受信平均電力変動の影響をなくすため、非線形増幅器10の前にAGC（オート・ゲイン・コントロール）回路を設けるようになると良い。さらに、この実施例の振幅位相復調器には、位相検波部6での処理によって得られた位相差情報に基づいて1シンボル期間に相当する周期を有するシンボルクロックC1を再生するシンボルクロック再生部8が設けられている。

次に、この実施例の振幅位相復調器の動作について説明する。

第23図は振幅位相変調における信号配置を示す。特に制限されないが、受信した振幅位相変調信号の位相成分はあらかじめ差動符号化され、搬送波を変調し

ているものとする。位相変調では1シンボルで2ビットの情報を送るのに対し、振幅位相変調では1シンボルで3ビットの情報を送ることができる。第24図には、受信信号 $f_c$ と振幅位相復調器内部の信号の波形例が示されている。非線形增幅器10におけるしきい値を与える参照電圧REF2は、第24図に示されているように、受信信号 $f_c$ の小振幅部分の定常部でのピークレベルと大振幅部分の定常部でのピークレベルとの中間のレベルが選択される。

この実施例では、受信信号 $f_c$ は位相検波部6および振幅検波部7にそれぞれ供給される。位相検波部6では、非線形増幅器1により受信信号 $f_c$ の中心電圧(REF1)をしきい値として増幅し、振幅一定のパルス信号D1に変換する。これによってパルス信号D1は位相情報だけをもつ信号となる。位相情報検出部2では、そのパルス信号D1から位相情報を検出し、符号解析部4に供給する。符号解析部4では、1シンボル前に検出した位相情報と今回検出した位相情報とから位相差情報D<sub>b</sub>を検出し、データ判定部5へ供給する。

シンボルクロック再生部8には外部から基準クロック $\phi$ が入力されており、このクロックに基づいてシンボルクロックC1を再生するが、このとき符号解析部4からの位相差情報D<sub>b</sub>に基づいてシンボルクロックC1を受信信号 $f_c$ のアイパターンのアイ(目)の開口が最大になるポイントにあわせてやることにより、受信信号に同期したシンボルクロックC1の再生を行なう。

一方、振幅検波部7では、参照電圧REF2をしきい値とする非線形増幅器10により受信信号 $f_c$ を増幅し、振幅一定のパルス信号Ddに変換する。パルス信号Ddは、受信した信号の振幅がしきい値REF2より小さい時はLowレベルとされ、受信した信号の振幅がしきい値REF2より大きい時はHigh, Lowのくり返しパルスとされる。振幅情報検出部11では、そのパルス信号Ddから振幅情報Dfを検出し、データ判定部5へ送る。データ判定部5では、上記位相検波部6で検出された位相情報Dbと振幅検波部7で検出された振幅情報Dfとから受信データを判定し、復調データDcを生成し出力する。

第25図に振幅情報検出部11の実施例を示す。振幅情報検出部11はセット/リセット型フリップフロップFF1と、マスタースレーブ型フリップフロップFF2とで構成されるパルス検出回路13およびクロック発生回路12から成る。

クロック発生回路 12 では、前記シンボルクロック再生部 8 で再生された受信信号  $f_c$  に同期したシンボルクロック C1 をもとに、受信信号  $f_c$  の 1 シンボル期間  $T_s$  の始まり付近に短いパルスを有するリセット信号 C2 (第 24 図参照) を発生し、1 シンボル期間の終了付近でかつ次のシンボルの開始を示すリセット信号 C2 の発生前に短いパルスを有する取込みクロック C3 を発生する。

5 セット／リセット型フリップフロップ FF1 のセット入力端子 S には上記非線形増幅器 10 からのパルス信号 Dd が、リセット入力端子 R には上記クロック発生回路 12 からのリセット信号 C2 が供給される。これによって、セット／リセット型フリップフロップ FF1 は、受信信号  $f_c$  の 1 シンボル期間  $T_s$  の始まりにリセット信号 C2 によってリセットされ、出力 De は Low レベルとなる。そして、受信信号  $f_c$  の振幅が小さくパルス信号 Dd が Low レベルの場合、出力信号 De は Low レベルを保つ。この Low レベルの出力 De は 1 シンボル期間の終了付近に発生される取込みクロック C3 によって次段のマスタースレーブ型フリップフロップ FF2 にラッチされ、その出力 Df は Low レベルとされる。

10 15 受信信号  $f_c$  の振幅が大きくなつて、パルス信号 Dd が High レベルになると、セット／リセット型フリップフロップ FF1 はセットされ、出力信号 De は High レベルに変化し、次ぎのリセット信号が入力されるまで High レベルを保つ。この High レベルは、1 シンボル期間の終了付近に発生される取込みクロック C3 によって次段のマスタースレーブ型フリップフロップ FF2 にラッチされ、FF2 の出力 Df は High レベルになる (第 24 図参照)。

20 上記説明および図 24 から明らかかなように、受信信号  $f_c$  の振幅レベルに応じて、マスタースレーブ・フリップフロップ FF2 の出力 Df はシンボル周期  $T_s$  ごとに High レベルまたは Low レベルを出力し、振幅情報の検出を行うことができる。このようにして振幅検波部 7 で検出された振幅情報 Df は、位相検波部 6 で検出された位相差情報 Db と共にデータ判定部 5 へ送られる。

25 データ判定部 5 では、シンボルクロック再生部 8 で再生される受信信号に同期したシンボルクロック C1 によって、位相差情報 Db 中のアイの最大開口時を抽出したデータおよび振幅検波部 7 で検出された振幅情報 Df とから受信したデータを判定し復調データ Dc を形成して出力する。特に制限されないが、位相情報

に下位 2 ビット、振幅情報に上位 1 ビットのデータが変調されているものとすると、データ判定部 5 では抽出した位相情報の 2 ビットの上位側に、MSB として振幅情報 1 ビットを加えることによって、復調したデータ Dc を得ることができる。

5 なお、上記振幅情報検出部 11 の入力側には、第 26 図に示すように、非線形增幅器 10 からの出力信号 Dd と位相検波部 6 の非線形増幅器 1 からの信号 D1 との論理積をとる AND ゲート回路 GT を設けるようにしても良い。第 24 図を参照すれば明らかのように、信号 Dd が High レベルのときは必ず信号 D1 も High レベルになるため、上記のような AND ゲート回路を設けることによつて、非線形増幅器 10 の出力信号 Dd からノイズによるパルスを除去することができる。

次に、上記シンボルクロック再生部 8 の具体的な構成例およびその動作を、第 27 図および第 28 図を用いて詳しく説明する。第 27 図に示すように、シンボルクロック再生部 8 は、外部から供給される基準クロック φ を分周する分周回路 81 と、分周されたクロックから互いに位相のずれた n 個の多相クロック E 2-1～E 2-n を形成する多相生成回路 82 と、位相検波部 6 からの位相差情報 Db から位相情報が変化した点を検出して変化した直後だけ High レベルになるパルス信号 E1 を生成する位相変化点検出回路 83 と、この位相変化点を示すパルス E1 と上記 n 個の多相クロック E 2-1～E 2-n を比較して、クロック E 2-1～E 2-n のうちその立下りがパルス E1 とほぼ一致しているクロックを選択してシンボルクロック C1 として出力するクロック遅進回路 84 とから構成されている。

つまり、クロック遅進回路 84 は、信号比較器とセレクタとからなり第 28 図に C1, C1' として示すように、現在出力しているクロック C1 の立下りタイミングが位相変化点がよりも遅れているときはそれよりも立下りタイミングの早いクロック C1' に変更し、現在出力しているクロック C1 の立下りタイミングが位相変化点がよりも早いときはそれよりも立下りタイミングの遅いクロック C1' に変更する。この動作をくり返し行うと、C1 の立ち上がりは位相差情報が変化する点に収束する。すなわち、C1 の立ち上がりをアイの最大開口時に一致させることができる。上記クロック遅進回路 84 における位相情報の変化を示す

パルス E 1 と多相クロック E 2-1～E 2-nとの比較は、パルス E 1 が多相クロック E 2-1～E 2-nの L o w レベルの期間にあるか H i g h レベルの期間にあるかを判定して行けばよい。

以上、振幅検波部 7 に 1 つの非線形増幅器 1 0 を設けた場合について説明した  
5 が、それぞれ異なるしきい値を有する非線形増幅器を 3 つ以上用い、それらの出力結果を組み合わせることにより振幅情報の精度を向上させるようにしてもよい。あるいは変調信号が 3 つ以上の振幅レベルに変調され 1 シンボル期間に複数の振幅情報を有する場合には、振幅レベル数に応じた複数の非線形増幅器を用いることにより、正確な復調を実現することができる。

10 第 2 9 図に、振幅位相復調器の第 2 の実施例を示す。この実施例は、受信した振幅位相変調信号のフェージング等による受信平均電力変動が A G C 回路等により補償されていない場合や変調信号が 3 つ以上の振幅レベルに変調されている場合に有効である。

15 この実施例の復調器は、振幅レベルに応じた R E F 2 から R E F n の異なる値をしきい値とする非線形増幅器 1 0 - 1 ~ 1 0 - n が振幅検波部 7 に設けられており、これら複数の非線形増幅器 1 0 - 1 ~ 1 0 - n により受信信号 f c が増幅されてパルス信号 D d - 1 ~ D d - n に変換され、振幅情報検出部 3 1 に入力されるように構成されている。

20 第 3 0 図に本実施例の振幅情報検出部 3 1 の具体的構成例を示す。振幅情報検出部 3 1 は、第 2 5 図に示されているのと同様なクロック発生回路 1 2 および上記非線形増幅器 1 0 - 1 ~ 1 0 - n からのパルス信号 D d - 1 ~ D d - n のそれを入力とするパルス検出回路 1 3 - 1 ~ 1 3 - n 、受信強度判定部 3 2 、信号選択部 3 3 から成る。

25 クロック発生回路 1 2 では、シンボルクロック再生部 8 で再生された受信信号に同期したシンボルクロック C 1 をもとに、受信信号 f c の 1 シンボル期間 T s の始まり付近にリセット信号 C 2 を発生し、1 シンボル期間の終了付近かつ次のシンボルの開始を示すリセット信号 C 2 の発生前に取込みクロック C 3 を発生し、パルス検出回路 1 3 - 1 ~ 1 3 - n に供給する。

受信信号 f c の振幅レベルおよび非線形増幅器 1 0 - 1 ~ 1 0 - n に供給され

ているしきい値REF<sub>2</sub>～REF<sub>n</sub>に応じて、パルス検出回路13-1～13-nの出力d<sub>f-1</sub>～d<sub>f-n</sub>はシンボル周期ごとにHighレベルまたはLowレベルを出力する。上記出力d<sub>f-1</sub>～d<sub>f-n</sub>は受信強度判定部32および信号選択部（セレクタ）33に供給される。受信強度判定部32では、d<sub>f-1</sub>～d<sub>f-n</sub>のフェーディング周期期間の結果から受信信号の強度を判定し、d<sub>f-1</sub>～d<sub>f-n</sub>のうちの適切なしきい値レベルで増幅された信号を選択するための選択信号C4を出力し、信号選択部33に供給する。具体的には、例えばある所定の監視期間の間ずっとハイレベルまたはロウレベルであるd<sub>f</sub>は不適切な信号であり、ハイレベルとロウレベルの両方を有するd<sub>f</sub>が適切な信号であると判定する。信号選択部33では、上記選択信号C3に従ってパルス検出回路13-1～13-nの出力d<sub>f-1</sub>～d<sub>f-n</sub>のうちから指定された信号を選択し、振幅情報D<sub>f</sub>としてデータ判定部5に送る。

データ判定部5ではシンボルクロック再生部8で再生される受信信号に同期したシンボルクロックC1によって、位相差情報D<sub>b</sub>中のアイの最大開口時を抽出したデータおよび振幅検波部7で検出された振幅情報D<sub>f</sub>とから復調したデータD<sub>c</sub>を形成し出力する。本実施例によれば、AGC回路の機能もデジタル的に実現することができる。

さらに、位相情報と振幅情報から直交座標に変換し、波形等化等の処理を行った後、復調データD<sub>c</sub>を形成することもできる。

第31図は本発明に係る復調器の他の応用例を示す。同図に示す応用例は衛星通信システムである。送信データは圧縮器41で圧縮されてQAM変調器42で変調された後、周波数多重化装置43で複数のチャンネルの送信データが多重化されて、アンテナ44から人工衛星45に向けて送信される。一方、人工衛星45から発信されたデータは、アンテナ44で受信され、周波数分離装置46で周波数分離された後、復調器47によって復調され伸長器48で伸長されることによって、受信データに復元される。

以上、本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、シフトレジスタとしてBBS (Bucket Brigade Device) 遅延回路を用いることもできる。

以上の説明では主として、本発明者によってなされた発明をその背景となった利用分野である移動体通信機あるいは衛星通信システムに適用した場合について説明したが、それに限定されるものではなく、たとえば有線によるデータ通信にも適用できる。  
5

#### 産業上の利用可能性

本願において開示される発明のうち、代表的なものの効果を簡単に説明すれば、  
10 下記のとおりである。

すなわち、位相変調信号のデジタル復調処理を、高速かつ高分解能のA／D変換器を使用することなく、半導体集積回路化および低コスト化に適した簡単かつ小規模な構成で、しかも高速化および高精度化も容易な構成でもって実現することができる。

15 また、受信した振幅位相変調信号をしきい値の異なる複数個の非線形増幅器でパルス化した後は位相検出器、振幅検出器等全ての処理機能をデジタル回路で構成することができる。これにより、アナログ回路は非線形増幅器のみで、主要部分は半導体集積化およびプロセスの微細化に適したデジタル回路で実現することができ、直交検波等の複雑な処理が不要で低コスト化に適した振幅位相復調器を得ることができる。  
20

さらに、高周波の搬送波信号を用いるシステムで復調部のディジタル化を従来方式で実現するためには、上記搬送波信号の周波数より更に高周波のサンプリングクロック信号を必要とし、消費電力が大きくなってしまう。しかしながら、本発明を適用することにより、高周波のサンプリングクロック信号を必要とせずに受信した変調信号の位相情報を検出できる。  
25

## 請求の範囲

1. 2値パルス信号に波形整形された位相変調信号の論理値を周期的にサンプリングすることにより直列符号列を生成するサンプリング手段と、上記直列符号列を所定区間ごとに所定ビット長の並列符号列に変換する直列／並列変換手段と、  
5 上記並列符号列の時系列上での論理パターン変位に基づいて位相差情報を論理検出する符号解析手段と、この符号解析手段の出力に基づいて復調データを生成するデータ判定手段を備えたことを特徴とする位相復調器。
- 10 2. 2値パルス信号に波形整形された位相変調信号の論理値を所定周期のサンプリングクロック信号に同期して直列にシフト伝達するシフトレジスタを有し、このシフトレジスタによってサンプリング手段と直列／並列変換手段を形成したことを特徴とする請求の範囲第1項に記載の位相復調器。
- 15 3. 位相変調信号の搬送波周期に対して異なる周期を有し、かつその搬送波周期に対して整数比関係にある周期を有するクロック信号を出力するクロック発生回路を有し、このクロック発生回路から出力されるクロック信号に同期して上記位相変調信号の論理値のサンプリングを行なわせることを特徴とする請求の範囲第1項または第2項に記載の位相復調器。  
20
4. 位相変調信号が共通に入力される複数のシフトレジスタと、各シフトレジスタにそれぞれ、互いに同一周期で位相の異なるクロック信号を分配する多相クロック発生回路と、各シフトレジスタからそれぞれに取り出される並列符号列の時系列上での論理パターン変位に基づいて位相差情報を論理検出する符号解析手段とを備えたことを特徴とする請求の範囲第1項から第3項のいずれかに記載の位相復調器。  
25
5. 位相変調信号を1/2に分周する分周回路を有し、この1/2分周された位相変調信号に対して論理値のサンプリングと直列／並列変換の処理を行なわせる

ことを特徴とする請求の範囲第1項から第4項のいずれかに記載の位相復調器。

6. 受信した振幅位相変調信号の位相成分を検出する位相検波部と、受信した振幅位相変調信号の振幅成分を検出する振幅検波部と、上記位相検波部の出力と上記振幅検波部の出力とから受信データを判定するデータ判定部と、上記位相検波部の出力から受信信号に同期したシンボルクロックを再生するシンボルクロック再生部とを備え、上記振幅検波部が一つまたは二つ以上の異なるしきい値を持つ非線形増幅器により2値パルス信号に波形整形し、そのパルス信号の有無を判別することによって振幅情報を検出するように構成されていることを特徴とする振幅位相復調器。  
5

7. 請求の範囲第6項において、上記位相検波部は、受信信号を2値パルス信号化する非線形増幅器および位相情報検出部からなり、該位相検波部の非線形増幅器により2値パルス信号に波形整形し、そのパルス信号を判別することによって位相情報を検出するように構成されることを特徴とする振幅位相復調器。  
10  
15

8. 請求の範囲第6項または第7項において、上記振幅情報検出部が一つ以上の異なるしきい値を持つ非線形増幅器の出力から生成されるパルス信号の有無を判別した複数の振幅情報から、受信強度を判定する受信強度判定部と、受信強度判定部の判定結果に基づいて複数の振幅情報から最適な振幅情報を選択する信号選択部とから構成されることを特徴とする振幅位相復調器。  
20

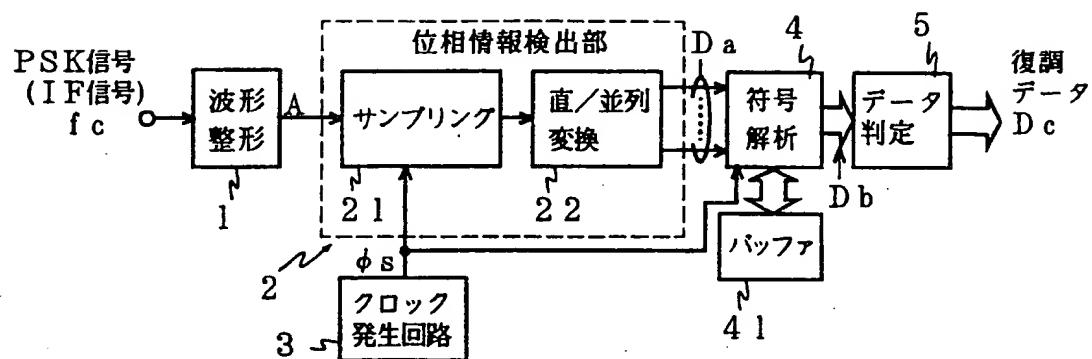
9. 請求の範囲第6項、第7項または第8項において、シンボルクロック再生部で再生された再生シンボルごとにリセットされるセット／リセット型フリップフロップにより、そのパルス信号の有無を判別することによって振幅情報を検出するように構成されることを特徴とする振幅位相復調器。  
25

10. 請求の範囲第6項、第7項、第8項または第9項において、位相検波部は受信信号を2値パルス信号化する非線形増幅器および位相情報検出部からなり、

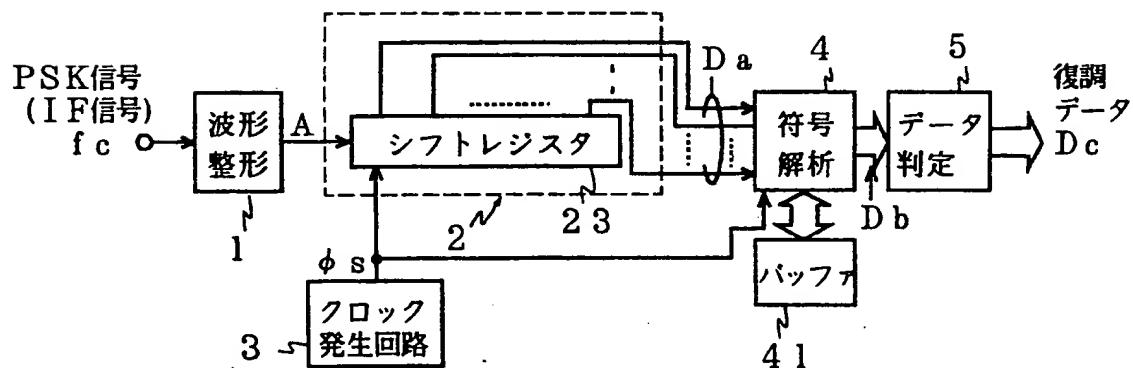
該位相情報検出部が請求項1から請求項5のいずれかにより構成されることを特徴とする振幅位相復調器。

1/22

第 1 図

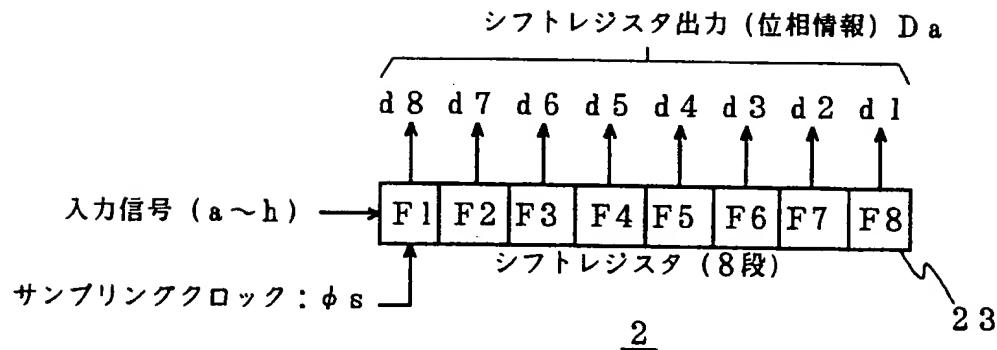


第 2 図

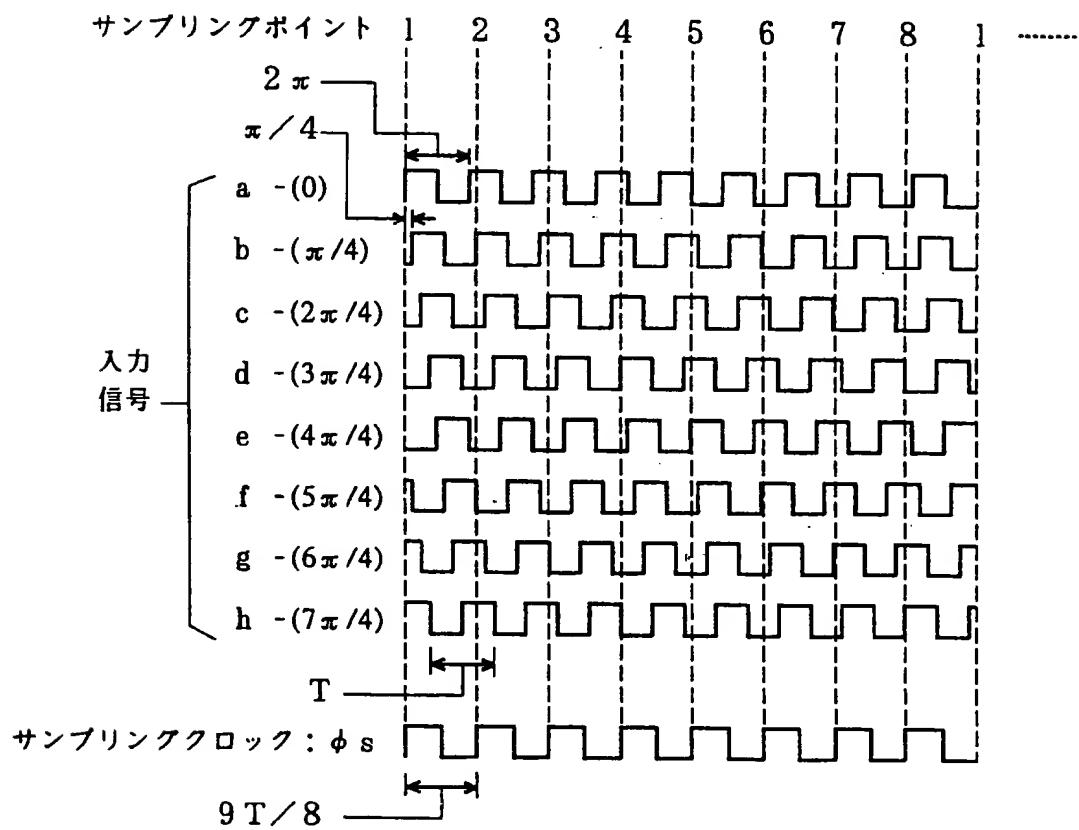


2 / 22

第3図

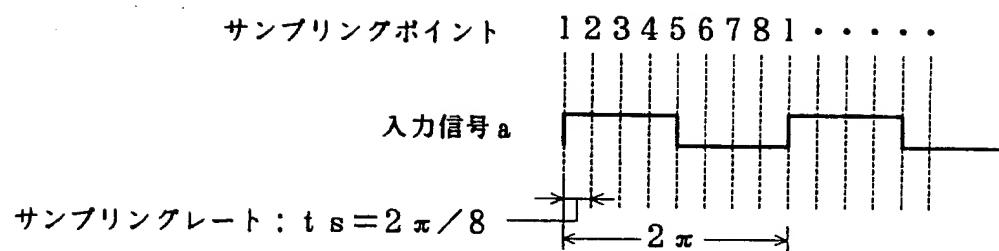


第4図



3/22

第 5 図

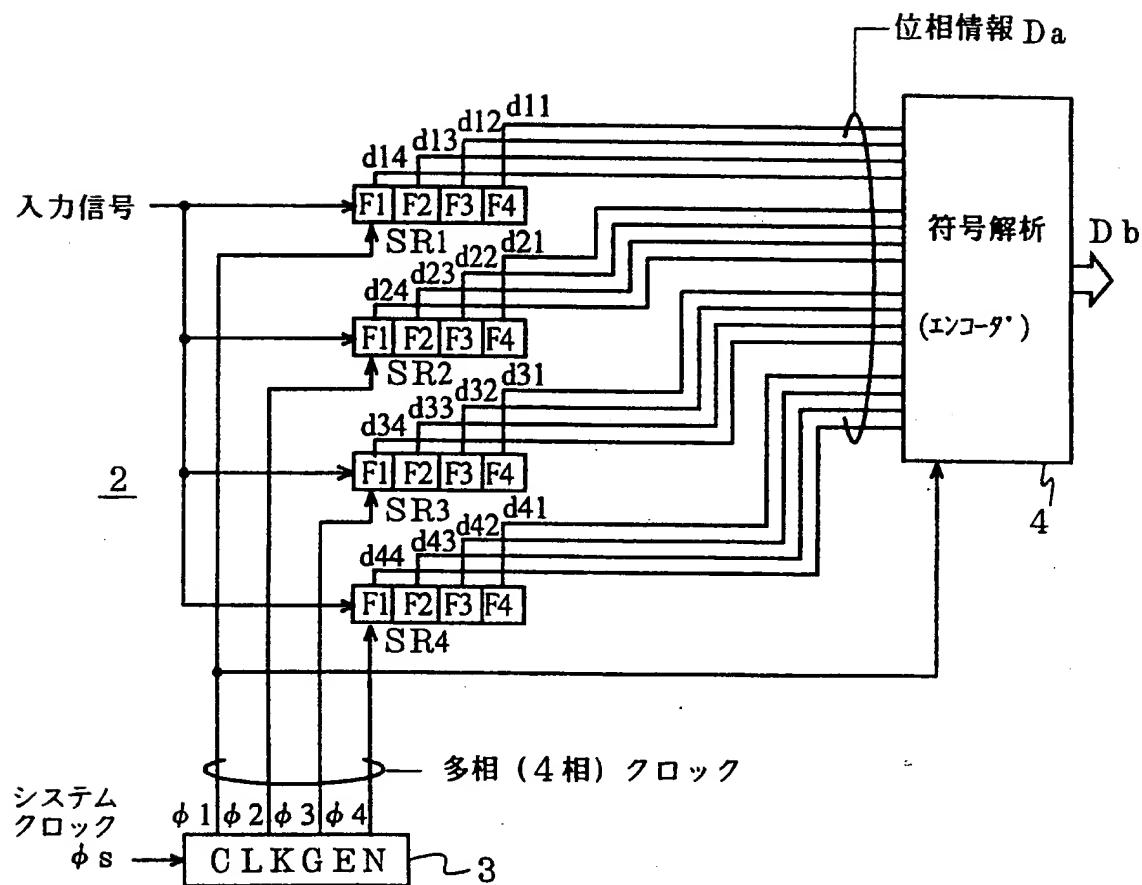


第 6 図

入力信号	シフトレジスタ出力 (F1~F8)							
	d1	d2	d3	d4	d5	d6	d7	d8
a	1	1	1	1	0	0	0	0
b	0	1	1	1	1	0	0	0
c	0	0	1	1	1	1	0	0
d	0	0	0	1	1	1	1	0
e	0	0	0	0	1	1	1	1
f	1	0	0	0	0	1	1	1
g	1	1	0	0	0	0	1	1
h	1	1	1	0	0	0	0	1

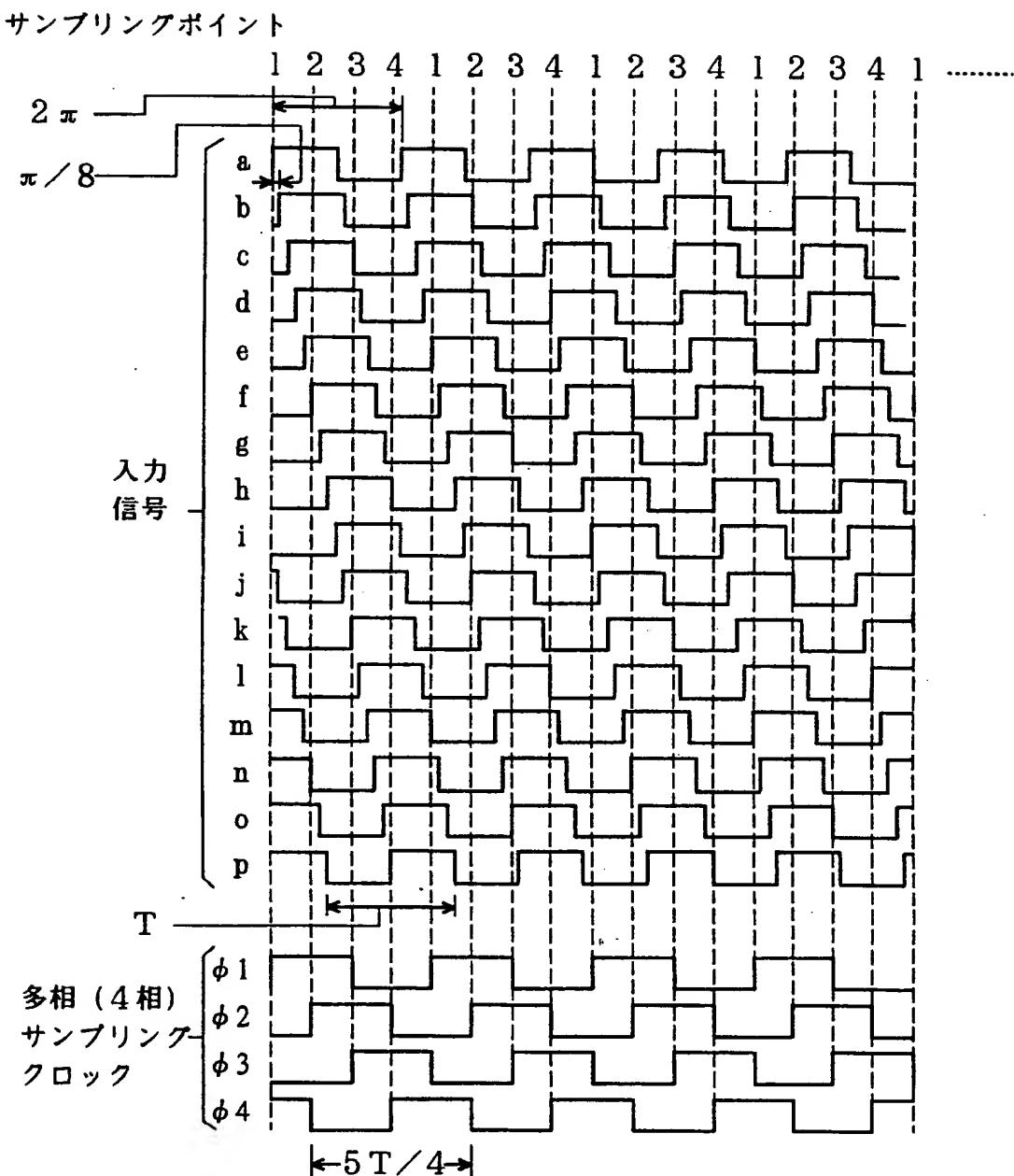
4/22

第 7 図



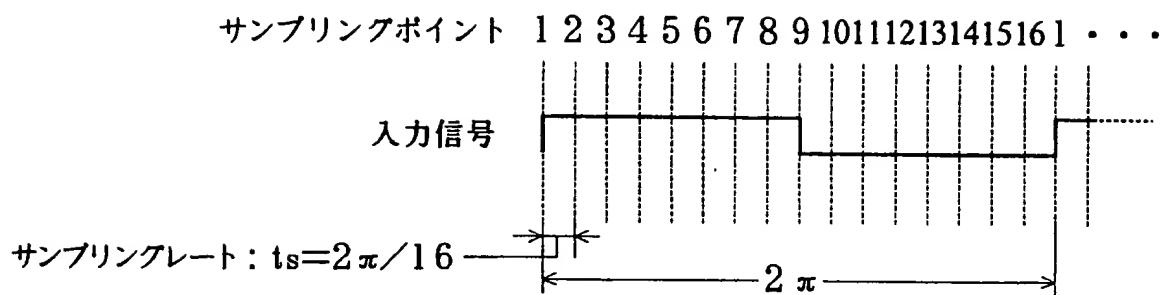
5/22

第 8 図



6/22

第 9 図



第 10 図

入力信号	レジスタ (SR1~SR4) 出力															
	SR1 ( $\phi 1$ )				SR2 ( $\phi 2$ )				SR3 ( $\phi 3$ )				SR4 ( $\phi 4$ )			
	d 11	d 12	d 13	d 14	d 21	d 22	d 23	d 24	d 31	d 32	d 33	d 34	d 41	d 42	d 43	d 44
a	1	1	0	0	1	0	0	1	0	0	1	1	0	1	1	0
b	0	1	1	0	1	0	0	1	0	0	1	1	0	1	1	0
c	0	1	1	0	1	1	0	0	0	0	1	1	0	1	1	0
d	0	1	1	0	1	1	0	0	1	0	0	1	0	1	1	0
e	0	1	1	0	1	1	0	0	1	0	0	1	0	0	1	1
f	0	0	1	1	1	1	0	0	1	0	0	1	0	0	1	1
g	0	0	1	1	0	1	1	0	1	0	0	1	0	0	1	1
h	0	0	1	1	0	1	1	0	1	1	0	0	0	0	1	1
i	0	0	1	1	0	0	1	1	0	0	0	1	0	0	0	1
j	1	0	0	1	0	1	1	0	1	1	0	0	1	0	0	1
k	1	0	0	1	0	0	1	1	1	1	0	0	1	0	0	1
l	1	0	0	1	0	0	1	1	0	1	1	0	1	0	0	1
m	1	0	0	1	0	0	1	1	0	1	1	0	1	1	0	0
n	1	1	0	0	0	0	1	1	0	1	1	0	1	1	0	0
o	1	1	0	0	1	0	0	1	0	1	1	0	1	1	0	0
p	1	1	0	0	1	0	0	1	0	0	1	1	1	1	0	0

7/22

## 第 11 図

入力信号	レジスタ (SR1~SR4) 出力パターン				論理 パターン	入力信号の位相情報	
	SR1	SR2	SR3	SR4		相対位相	位相値
a	A	D	C	B	ADCB	0	+8π/8
b	B	D	C	B	BDCB	π/8	+7π/8
c	B	A	C	B	BACB	2π/8	+6π/8
d	B	A	D	B	BADB	3π/8	+5π/8
e	B	A	D	C	BADC	4π/8	+4π/8
f	C	A	D	C	CADC	5π/8	+3π/8
g	C	B	D	C	CBDC	6π/8	+2π/8
h	C	B	A	C	CBAC	7π/8	+π/8
i	C	B	A	D	CBAD	8π/8	0
j	D	B	A	D	DBAD	9π/8	-π/8
k	D	C	A	D	DCAD	10π/8	-2π/8
l	D	C	B	D	DCBD	11π/8	-3π/8
m	D	C	B	A	DCBA	12π/8	-4π/8
n	A	C	B	A	ACBA	13π/8	-5π/8
o	A	D	B	A	ADBA	14π/8	-6π/8
p	A	D	C	A	ADCA	15π/8	-7π/8

A=1100

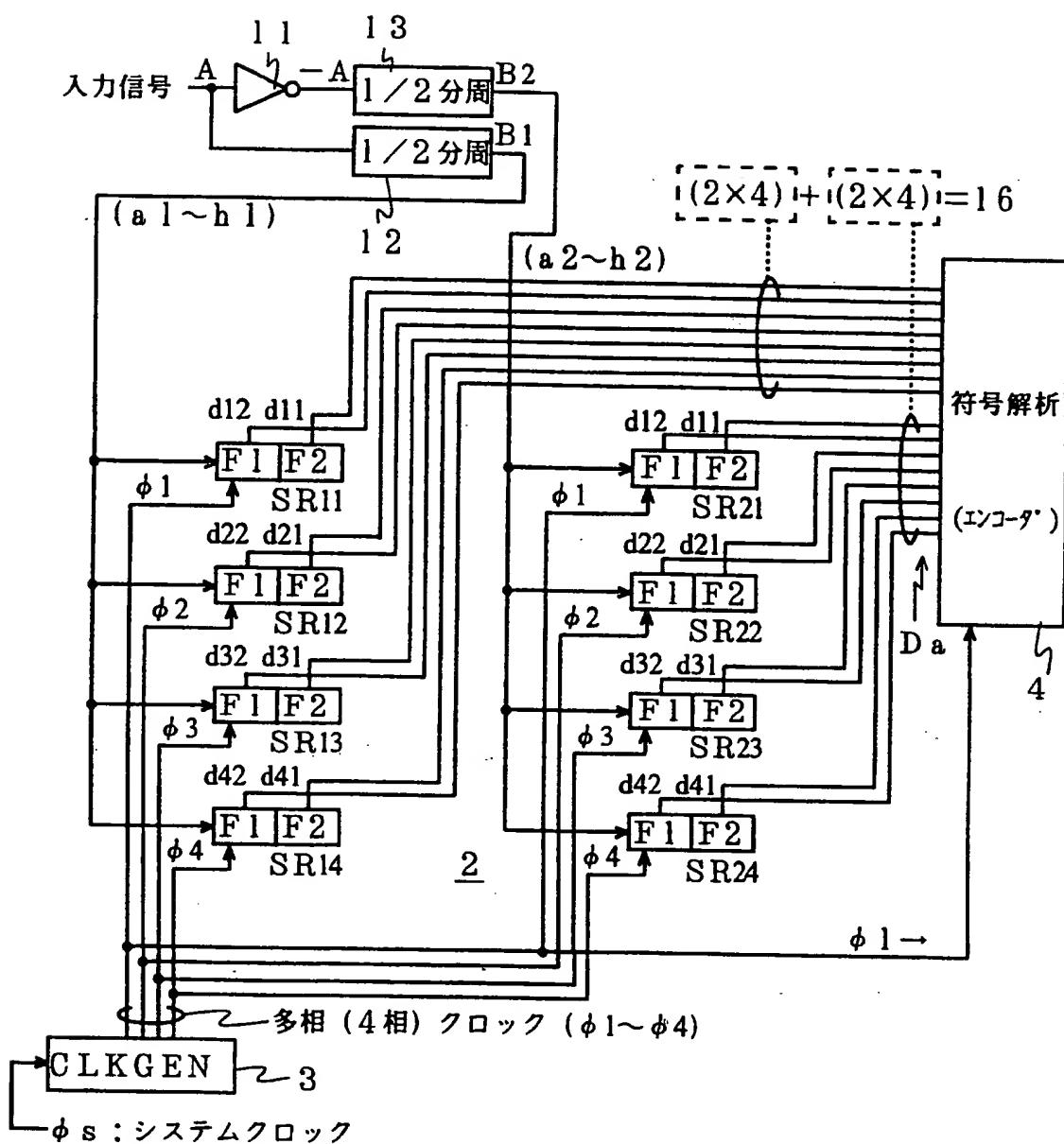
B=0110

C=0011

D=1001

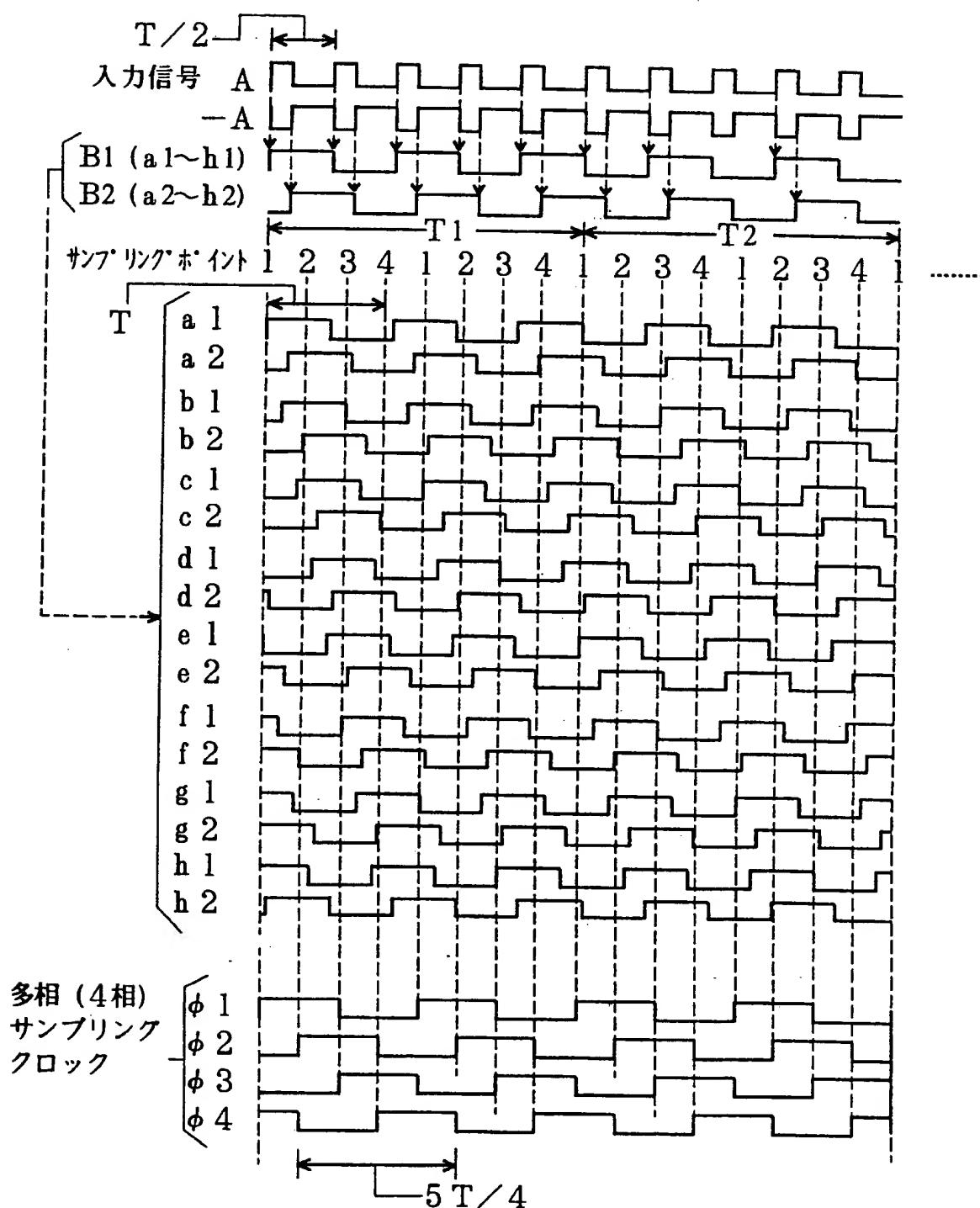
8/22

第 12 図



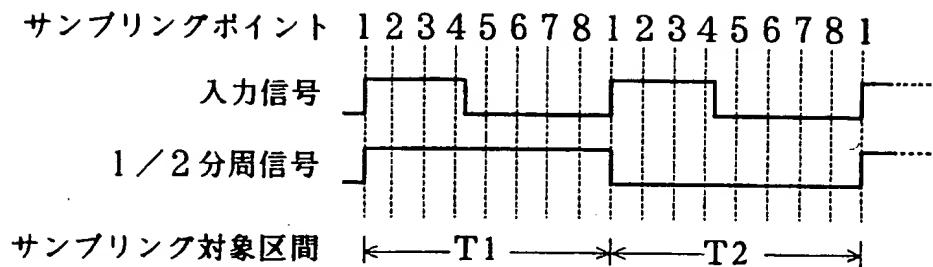
9/22

第 13 図



10/22

第 14 図



第 15 図

サンプリング区間 T 1 でのシフトレジスタ出力

1/2 分周 入力信号	シフトレジスタ出力 A (F 1 ~ F 2)							
	SR1 1 d11	SR2 1 d12	SR1 2 d11	SR2 2 d12	SR1 3 d21	SR2 3 d22	SR1 4 d31	SR2 4 d32
a 1	1 1			1 0		0 0		
a 2		0 1			1 1		1 0	
b 1	0 1			1 1		0 0		0 1
b 2		0 0			1 1		1 0	
c 1	0 1			1 1		1 0		0 0
c 2		0 0			0 1		1 1	
d 1	0 0			0 1		1 0		0 0
d 2		1 0			0 1		1 1	
e 1	0 0			0 1		1 1		1 0
e 2		1 0			0 0		0 1	
f 1	1 0			0 0		1 1		1 0
f 2		1 1			0 0		0 1	
g 1	1 0			0 0		0 1		1 1
g 2		1 1			1 0		0 0	
h 1	1 1			1 0		0 1		1 1
h 2		0 1			1 0		0 0	

11/22

## 第 16 図

サンプリング区間T2でのシフトレジスタ出力

1/2分周 入力信号	シフトレジスタ出力B (F1~F2)							
	SR11		SR21		SR12		SR22	
	d11	d12	d11	d12	d21	d22	d21	d22
a 1	0	0			0	1		
a 2			1	0			0	0
b 1	1	0			0	0	1	1
b 2			1	1			0	1
c 1	1	0			0	0	0	1
c 2			1	1			1	0
d 1	1	1			1	0	0	1
d 2			0	1			0	0
e 1	1	1			1	0	0	1
e 2			0	1			1	0
f 1	0	1			1	1	0	1
f 2			0	0			1	0
g 1	0	1			1	1	0	0
g 2			0	0			1	1
h 1	0	0			0	1	0	0
h 2			1	0			1	1

12/22

## 第 17 図

区間	シフトレジスタ出力 (F1~F2)				位相情報	
	SR1 1~14 (a1~h1)		SR2 1~24 (a2~h2)		相対位相	位相値
T1   a 1 / a 2	3	2	0	1	1	0
T2   a 1 / a 2	0	1	3	2	2	+ π
T1   b 1 / b 2	1	3	0	1	0	π/4
T2   b 1 / b 2	2	0	3	2	3	+3π/4
T1   c 1 / c 2	1	3	2	0	0	2π/4
T2   c 1 / c 2	2	0	1	3	1	+2π/4
T1   d 1 / d 2	0	1	2	0	2	3π/4
T2   d 1 / d 2	3	2	1	3	0	+π/4
T1   e 1 / e 2	0	1	3	2	1	4π/4
T2   e 1 / e 2	3	2	0	1	2	0
T1   f 1 / f 2	2	0	3	2	3	-π/4
T2   f 1 / f 2	1	3	0	1	0	5π/4
T1   g 1 / g 2	2	0	1	3	2	6π/4
T2   g 1 / g 2	1	3	2	0	0	-2π/4
T1   h 1 / h 2	3	2	1	3	1	7π/4
T2   h 1 / h 2	0	1	2	0	2	-3π/4

0=00

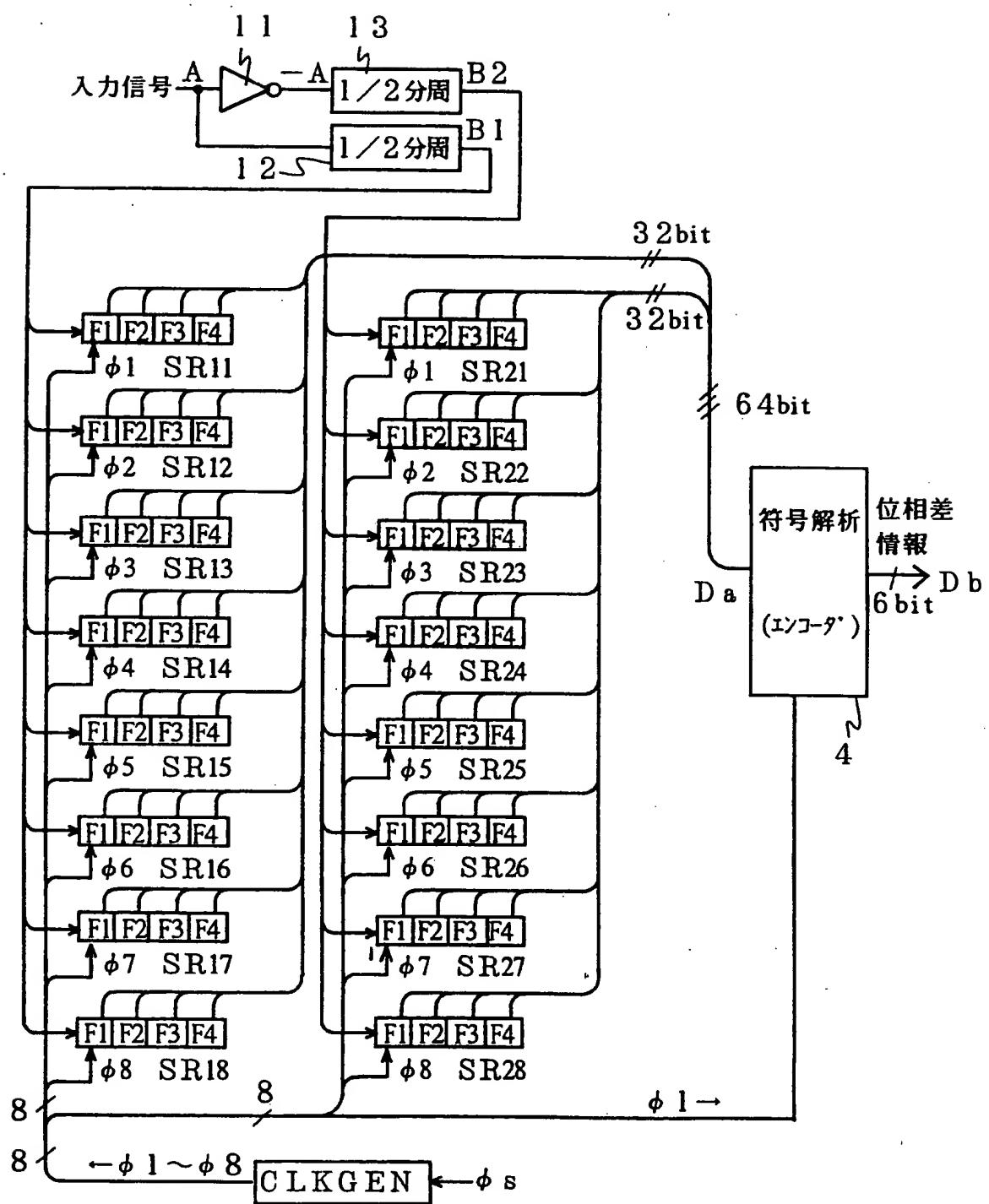
1=01

2=10

3=11

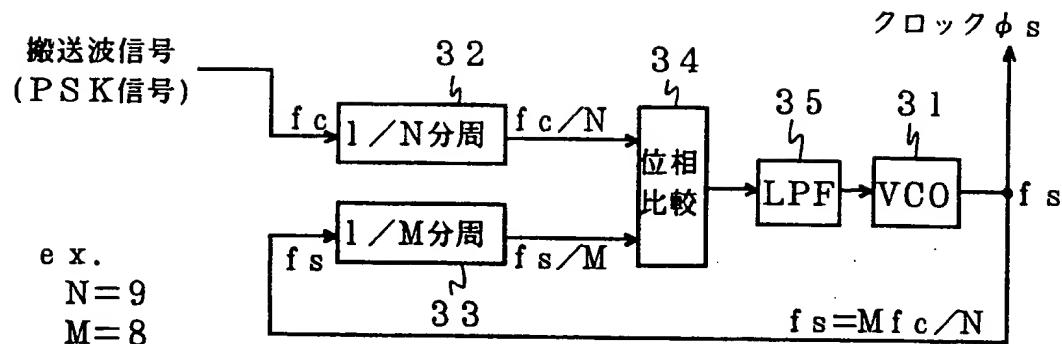
13/22

第 18 図



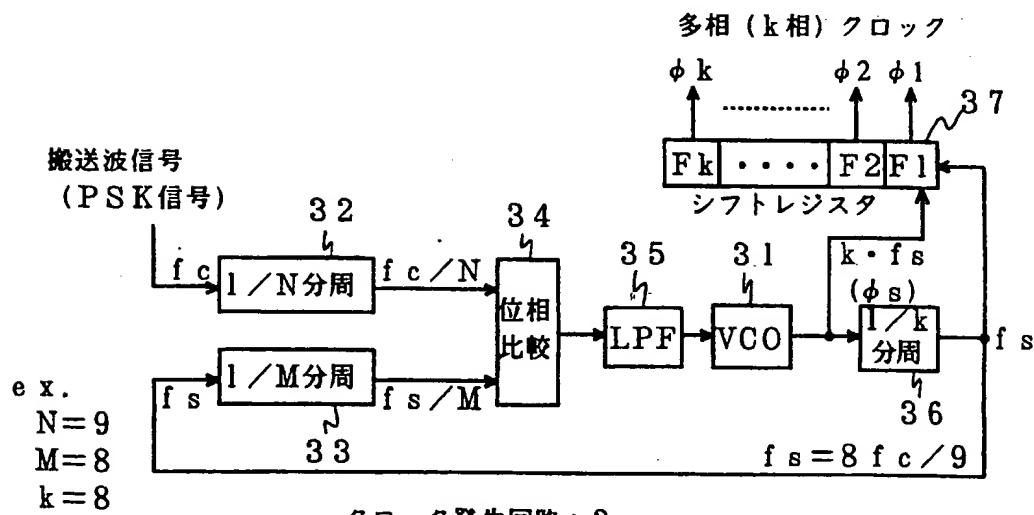
14/22

第 19 図



クロック発生回路：3

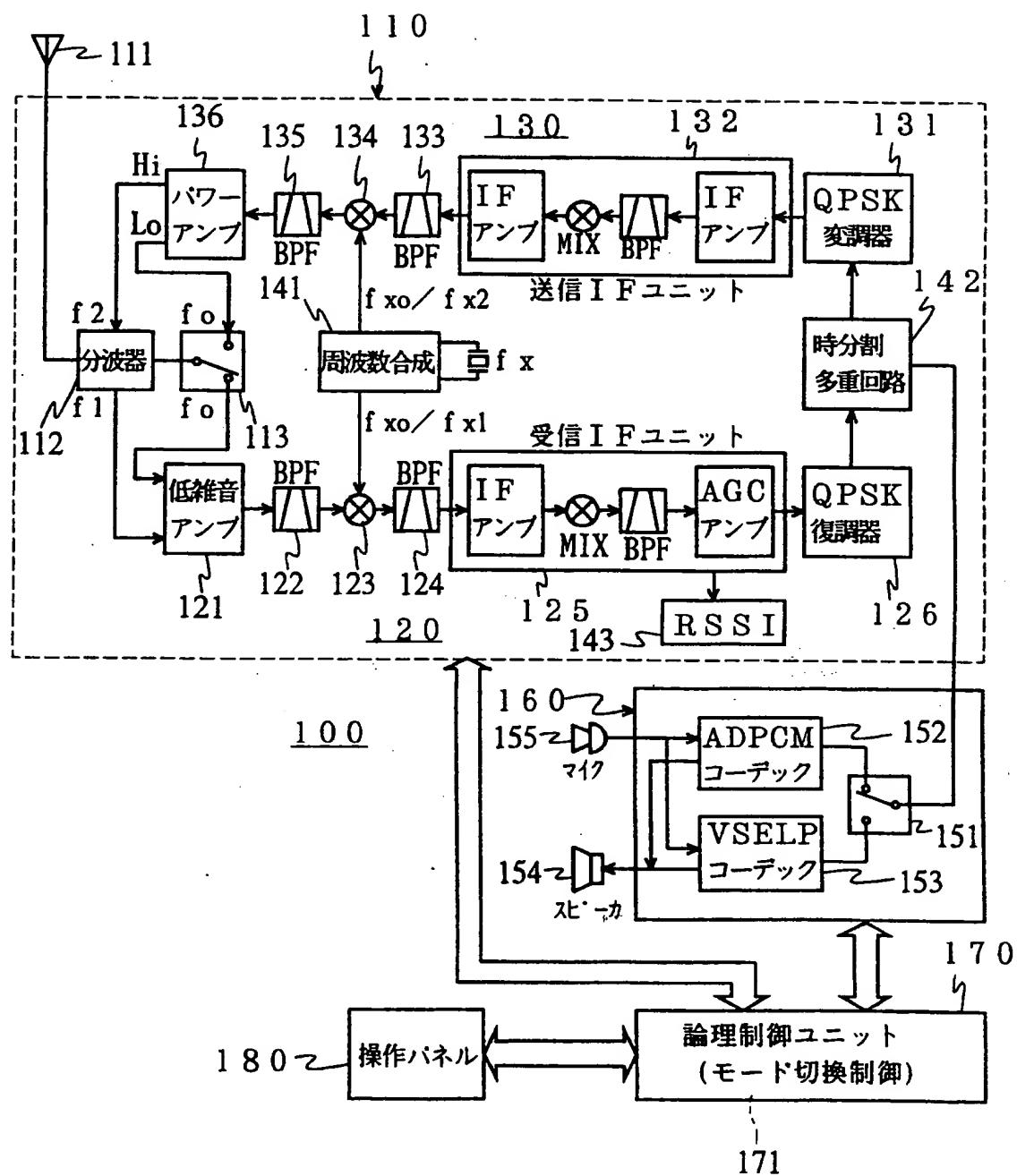
第 20 図



クロック発生回路：3

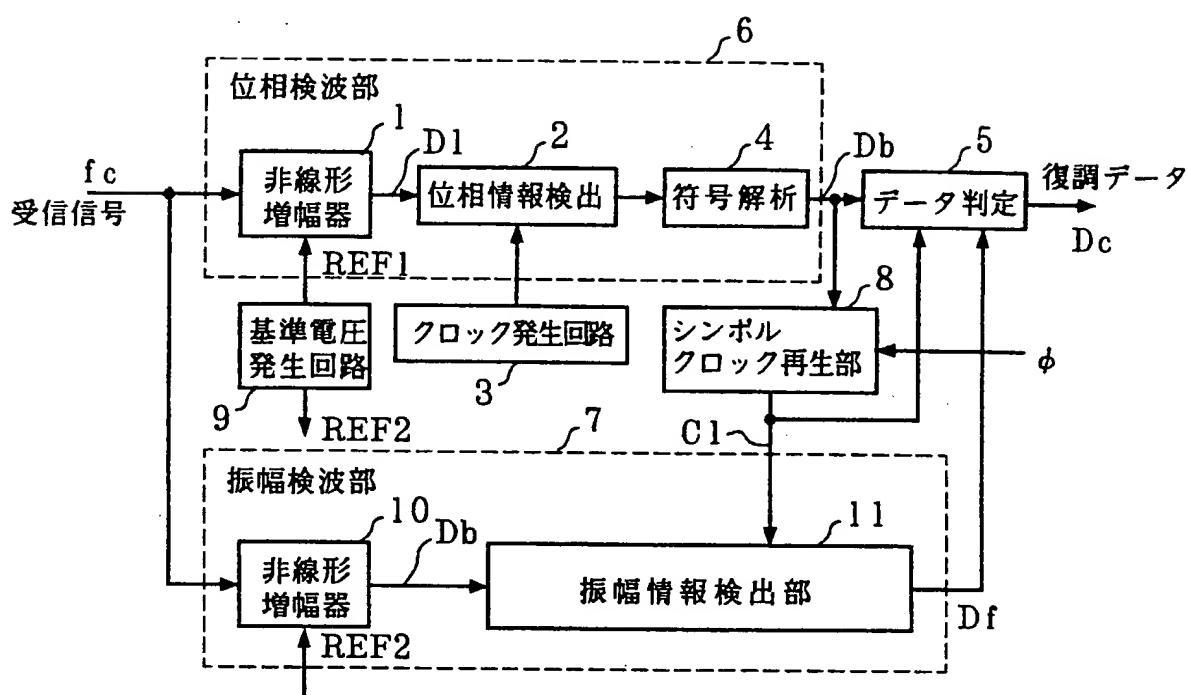
15/22

第 21 図

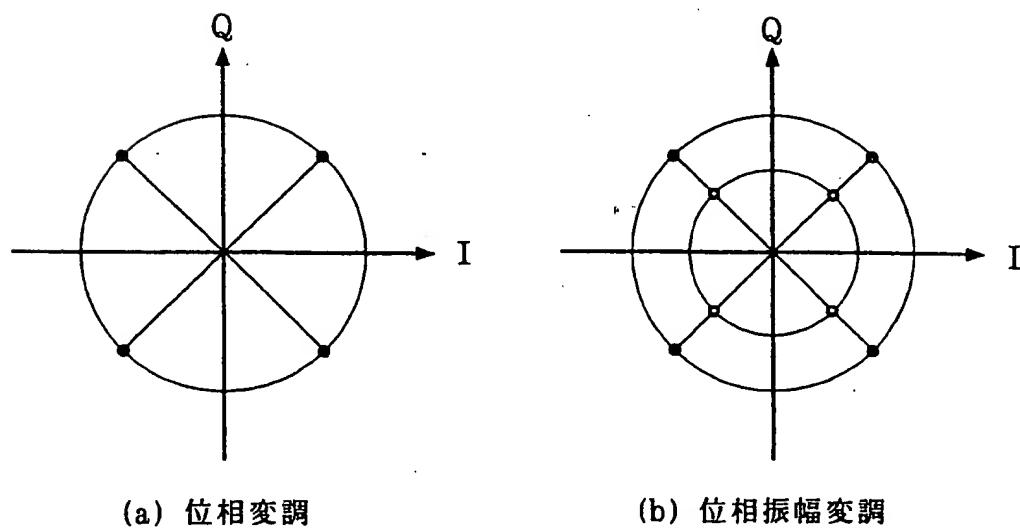


16 / 22

第 22 図

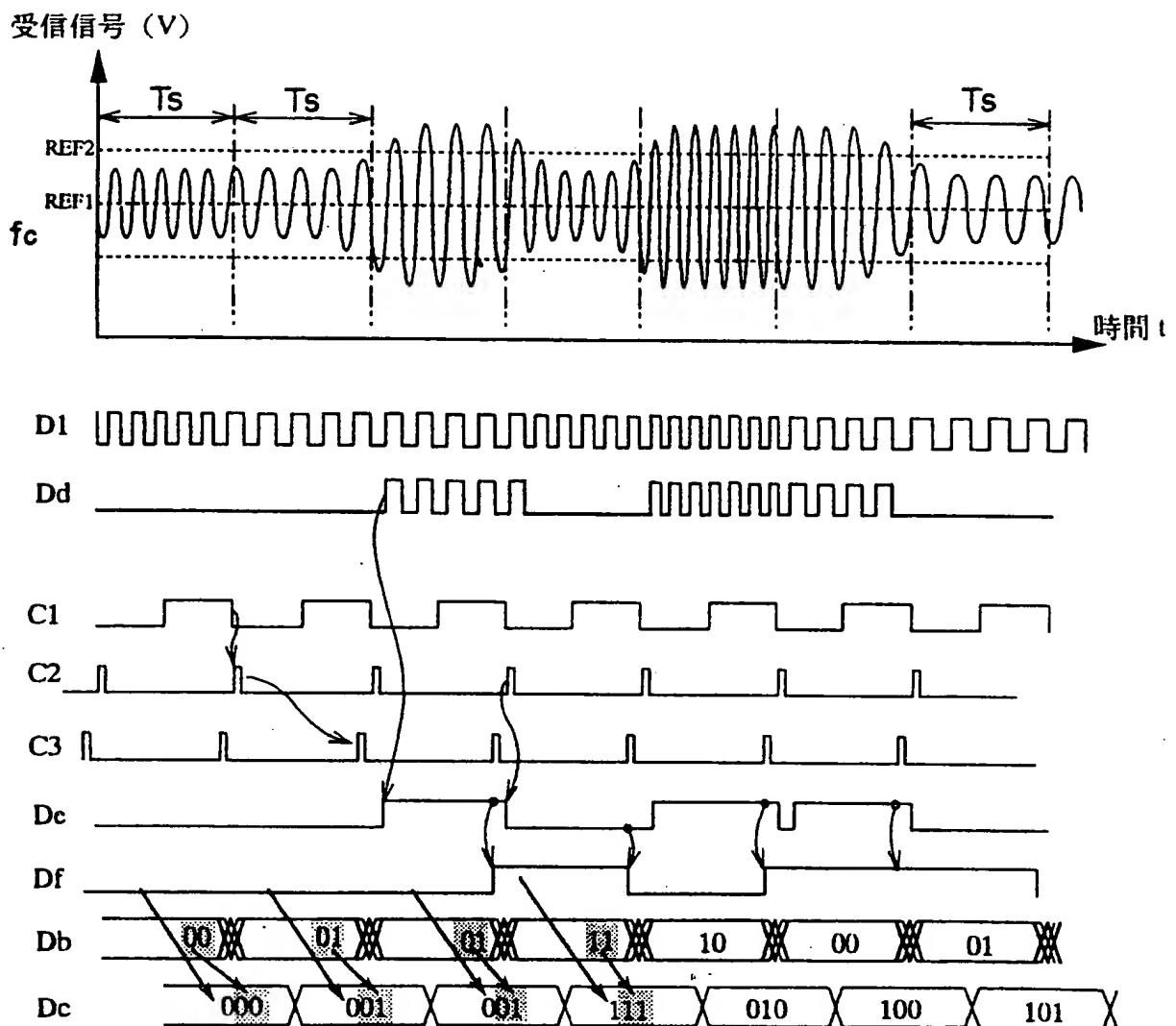


第23回



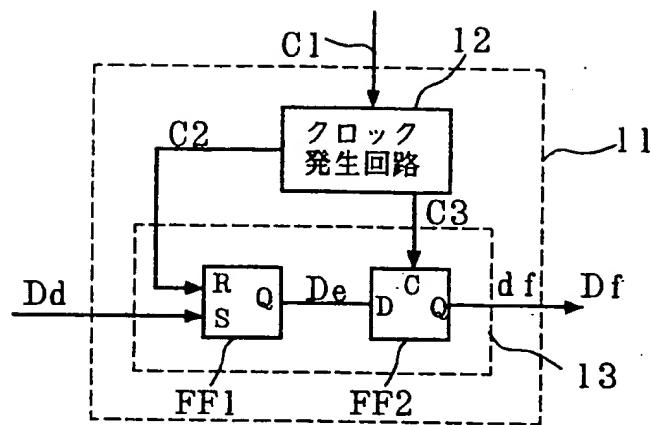
17/22

第 24 図

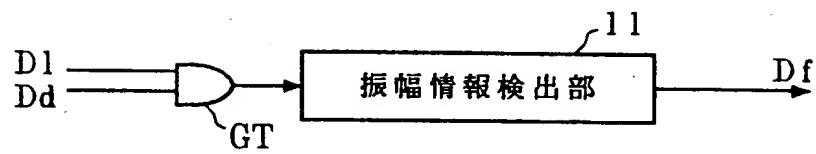


18/22

第 25 図

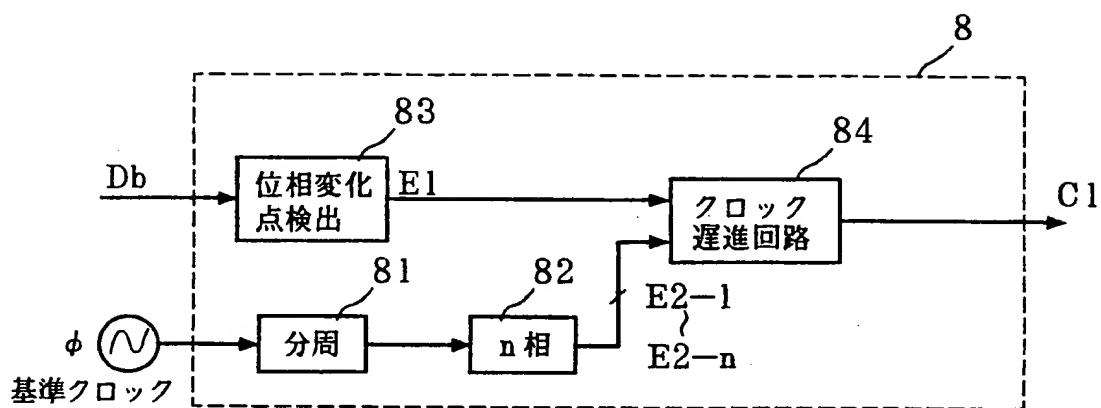


第 26 図

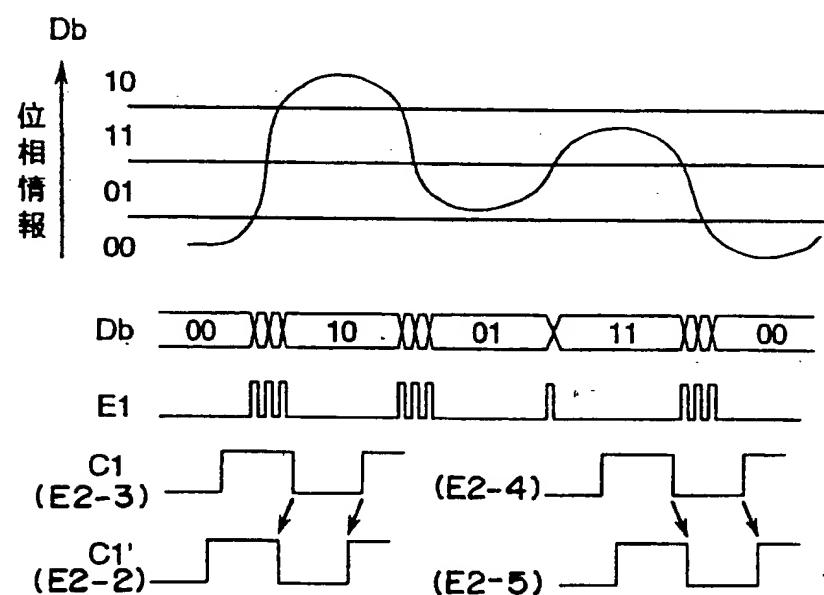


19/22

第 27 図

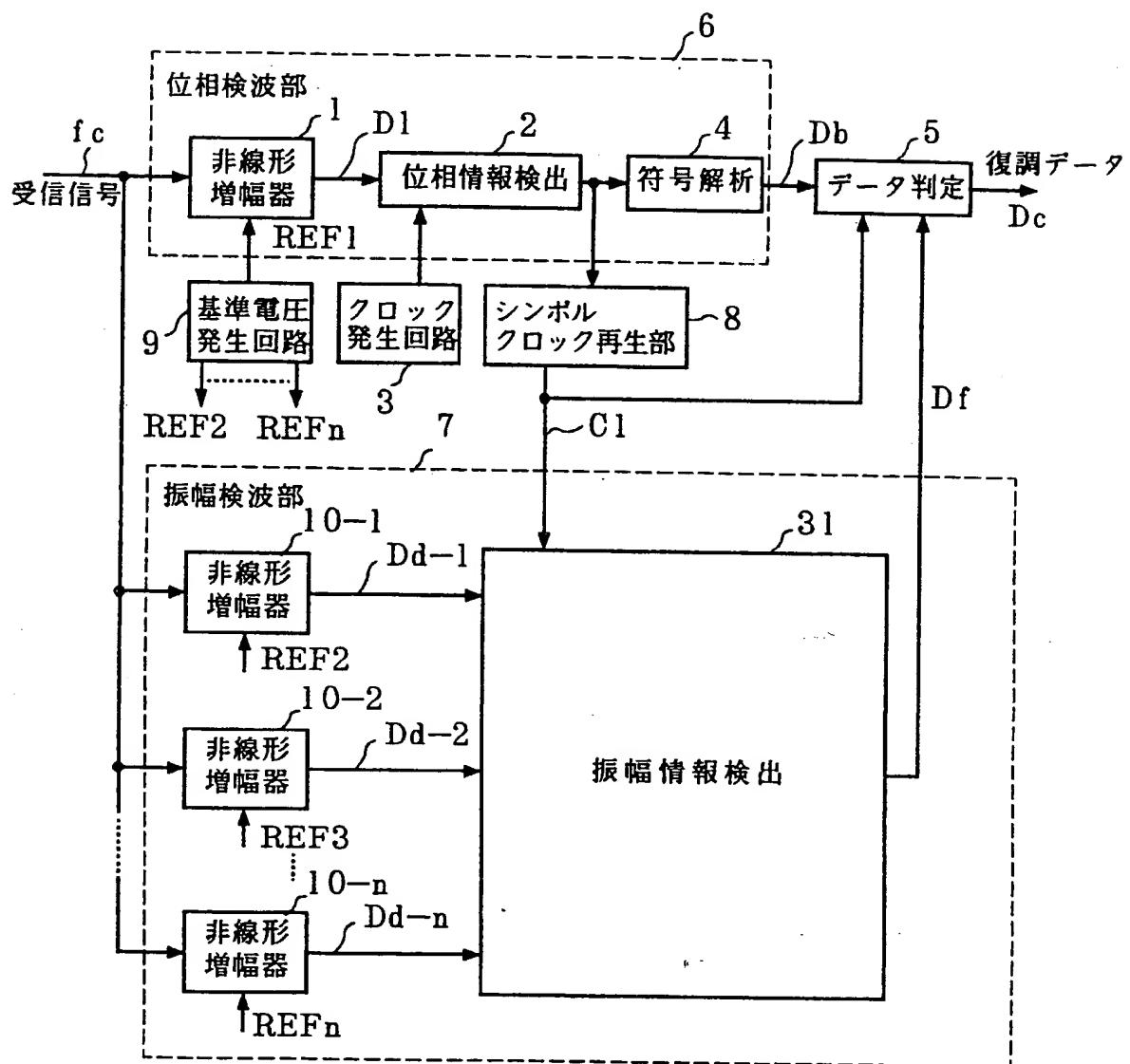


第 28 図



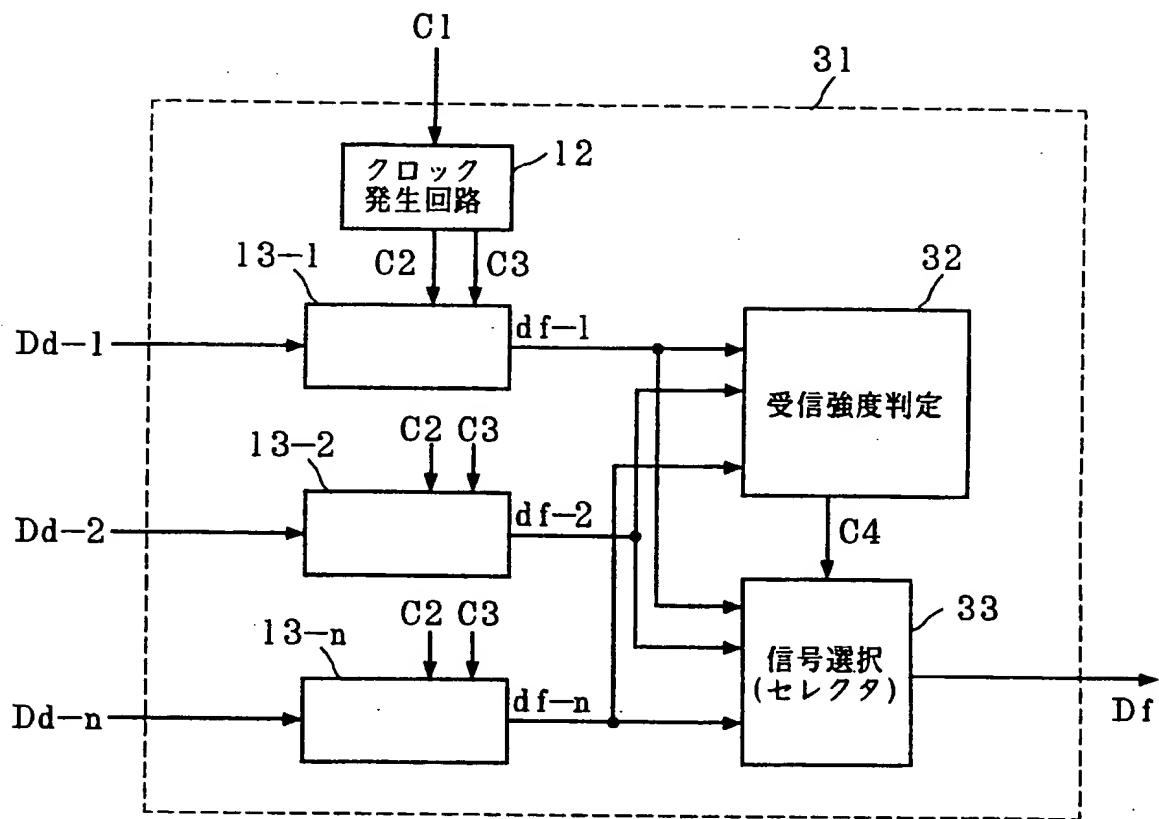
20/22

第29図



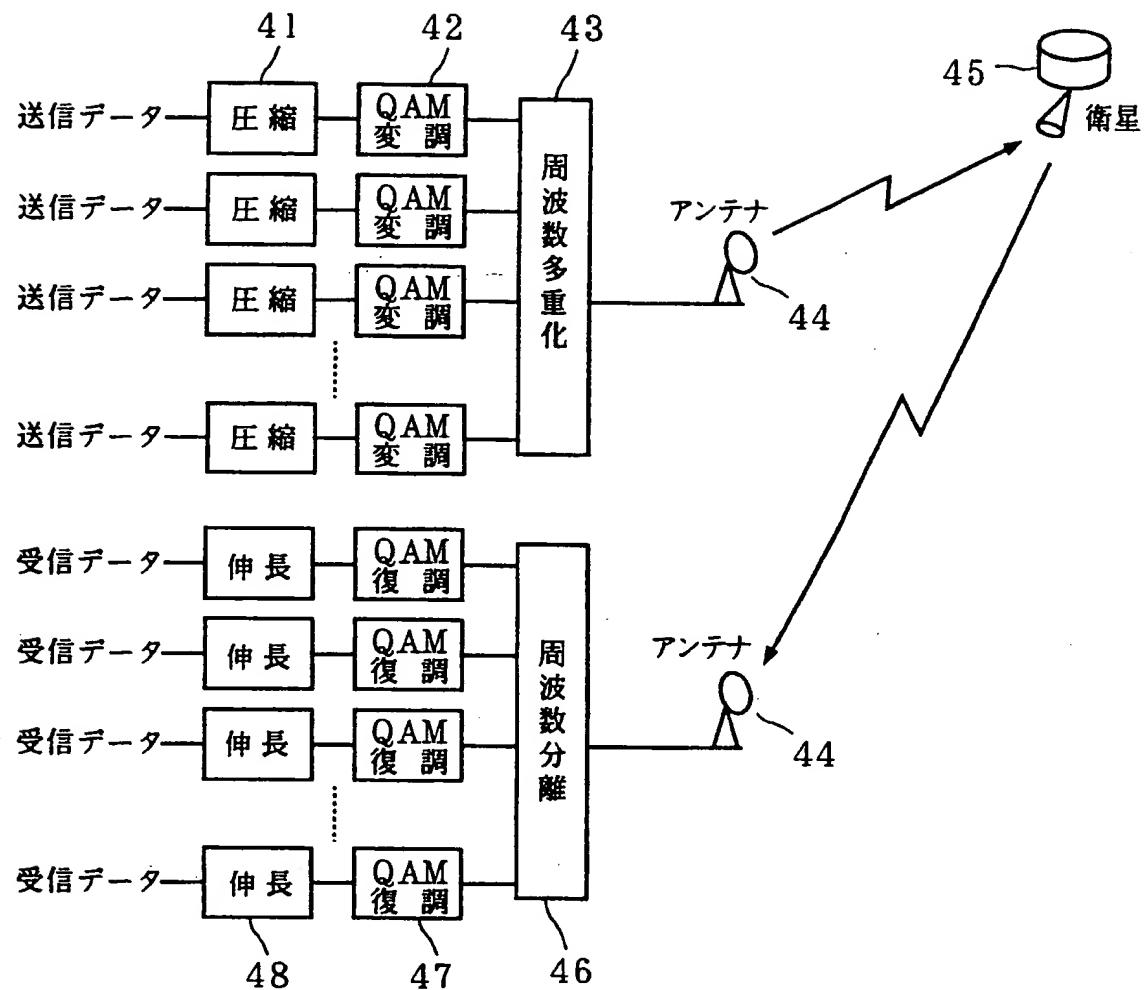
21/22

第 30 図



22/22

第 31 図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/01573

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int. Cl<sup>6</sup> H04L27/22, H04L27/38

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**Minimum documentation searched (classification system followed by classification symbols)  
Int. Cl<sup>6</sup> H04L27/00-27/38Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1971 - 1996  
Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-311191, A (Casio Computer Co., Ltd., Sogo Tsushin Engineering K.K.), November 4, 1994 (04. 11. 94) (Family: none) Page 3, column 3, line 49 to page 4, column 5, line 29; Fig. 1	1, 2
Y		10
A		3 - 9
Y	JP, 6-244888, A (Fujitsu Ltd.), September 2, 1994 (02. 09. 94) (Family: none) Page 3, column 3, line 29 to page 5, column 7, line 16; Figs. 2, 4, 5	6, 7, 10
A		8, 9
Y	JP, 2-284547, A (NEC Corp.), November 21, 1990 (21. 11. 90) & EP, A2, 395368 & US, A, 4988951 Page 2, upper right column, line 7 to lower left column, line 11; Fig. 1	6, 7, 10
A		8, 9

 Further documents are listed in the continuation of Box C. See patent family annex.

## • Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed
- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
August 21, 1996 (21. 08. 96)Date of mailing of the international search report  
September 3, 1996 (03. 09. 96)Name and mailing address of the ISA/  
Japanese Patent Office  
Facsimile No.

Authorized officer

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/01573

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 7-58792, A (Japan Radio Co., Ltd.), March 3, 1995 (03. 03. 95) (Family: none)	1 - 10
A	JP, 4-68841, A (Japan Radio Co., Ltd.), March 4, 1992 (04. 03. 92) & EP, A2, 464814 & US, A, 5241567	1 - 10

## 国際調査報告

国際出願番号 PCT/JP96/01573

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int C1° H04L27/22, H04L27/38

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int C1° H04L27/00-27/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1971-1996  
 日本国公開実用新案公報 1971-1996

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 6-311191, A (カシオ計算機株式会社, 総合通信エンジニアリング株式会社), 4. 11月. 1994 (04. 11. 94) (ファミリーなし)  第3頁第3欄第49行-第4頁第5欄第29行, 第1図	1, 2
Y		10
A		3-9

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」先行文献ではあるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

## 国際調査を完了した日

21. 08. 96

## 国際調査報告の発送日

03.09.96

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

北村 智彦

5K 9297

電話番号 03-3581-1101 内線 3558

國際調查報告

国際出願番号 PCT/JP96/01573

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
	J P, 6-244888, A (富士通株式会社), 2. 9月. 1994 (02. 09 . 94) (ファミリーなし)	
Y	第3頁第3欄第29行—第5頁第7欄第16行, 第2図, 第4図, 第5図	6, 7, 10
A		8, 9
	J P, 2-284547, A (日本電気株式会社), 21. 11月. 1990 (21 . 11. 90) &EP, A2, 395368&US, A, 4988951	
Y	第2頁右上欄第7行—左下欄第11行, 第1図	6, 7, 10
A		8, 9
A	J P, 7-58792, A (日本無線株式会社), 3. 3月. 1995 (03. 03 . 95) (ファミリーなし)	1-10
A	J P, 4-68841, A (日本無線株式会社), 4. 3月. 1992 (04. 03 . 92) &EP, A2, 464814&US, A, 5241567	1-10

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**